

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-296129

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

G09G 3/20
G09G 3/20
G09G 3/20
G09G 3/20
G02F 1/133
G09G 3/36
H04N 5/66
H04N 5/66

(21)Application number : 10-094508

(71)Applicant : SONY CORP

(22)Date of filing : 07.04.1998

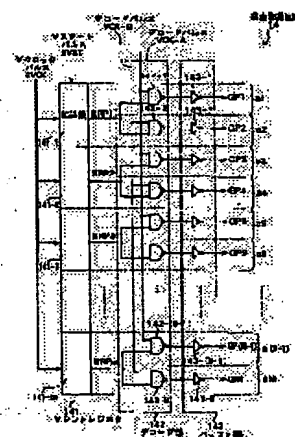
(72)Inventor : MAEKAWA TOSHIICHI
NODA KAZUHIRO

(54) PIXEL DRIVING CIRCUIT AND DRIVING CIRCUIT COMBINED TYPE PIXEL INTEGRATED DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily reduce the pixel pitch and to easily increase the number of pixels.

SOLUTION: A V shaft register 141 is structured by allowing one pulse transfer stage 141-1 to correspond to two horizontal direction pixel lines a1 and a2 that constitute of the pixel section of a liquid crystal panel. The outputs from pulse transfer stages 141-1 to 141-m of the register 141 are decoded by a decoder section 142 and gate pulses GPj are generated to individually drive the lines aj (j=1 to M). Thus, the number of constituting stages of the register 141 is reduced to one half of the conventional case.



LEGAL STATUS

[Date of request for examination]

05.01.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

***NOTICES ***

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The pulse migration means which is a circuit for driving two or more pixels arranged in the two different directions, and carries out a sequential output while moving every two or more pixels of the 1st pulse signal along the direction of one of said two directions, The pixel drive circuit characterized by having a driving pulse generation means to generate many 2nd pulse signal from that for driving the pixel train arranged along other directions of [of said two directions] according to an individual, based on the 1st pulse signal outputted from said pulse migration means.

[Claim 2] Furthermore, the pixel drive circuit according to claim 1 characterized by having a change means by which it can change whether it is prepared between said pulse driving means and said individual driving pulse generation means, and said 1st pulse is supplied from a pulse migration means to an individual driving pulse generation means.

[Claim 3] Two or more pixels arranged in the two different directions, and the pulse migration means which carries out a sequential output while moving every two or more pixels of the 1st pulse signal along the direction of one of said two directions, Based on the 1st pulse signal outputted from said pulse migration means Drive circuit one apparatus pixel accumulation equipment characterized by having an individual driving pulse generation means to generate many 2nd pulse signal from that for driving the pixel train arranged along other directions of [of said two directions] according to an individual.

[Claim 4] Furthermore, drive circuit one apparatus pixel accumulation equipment according to claim 1 characterized by having a change means by which it can change whether it is prepared between said pulse migration means and said individual driving pulse generation means, and said 1st pulse is supplied from a pulse migration means to an individual driving pulse generation means.

[Translation done.]

*** NOTICES ***

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the drive circuit one apparatus pixel accumulation

equipment constituted including the pixel drive circuit and such a pixel drive circuit for driving alternatively the pixel arranged for example, in the shape of a matrix.

[0002]

[Description of the Prior Art] In recent years, the spread of liquid crystal displays is remarkable as an image display device on a par with CRT (cathode-ray tube). While this equipment arranges a pixel in the shape of a matrix to horizontal and a perpendicular direction They are level and the thing which arranges and constituted the shift register about vertical each. Whenever it outputs carrying out the sequential transfer of the perpendicular direction selection pulse perpendicularly from a vertical shift register and chooses pixel Rhine (pixel array horizontally located in a line) By repeating actuation of making sequential selection, a signal is written in all pixels, scanning horizontally the pixel of pixel Rhine which outputted carrying out the sequential transfer of the horizontal selection pulse horizontally from a horizontal shift register, and was chosen by the perpendicular direction selection pulse.

[0003] By the way, in this kind of image display device, the display corresponding to a multi-scan to which it enabled it to change the size of a viewing area according to the class of picture signal is known to enable it to correspond to the picture signal of various specification like the image display device using CRT. About the non-display field (for example, vertical part of a screen) which does not display among full screens, there is a method of adjusting viewing-area size among the approaches used with this kind of equipment by making it black, as a perpendicular direction selection pulse is not supplied. According to this approach, since it is not necessary to add a hand to the picture signal itself, there is an advantage that a control circuit, an image memory, etc. for picture signal processing are unnecessary, and do not need to be accompanied so much by cost rise.

[0004]

[Problem(s) to be Solved by the Invention] In the above-mentioned conventional image display device, each transfer stage in a vertical shift register was prepared respectively corresponding to each vertical pixel Rhine, and it had become the configuration which outputs this, transmitting one step of pulse at a time perpendicularly. However, if much more narrow-ization of a pixel pitch is recently called for with the request of highly-minute-izing of a display image, even if it is going to arrange the circuit of one transfer stage of a shift register in the width of face for 1-pixel Rhine like before, area becomes inadequate, and implementation is difficult. Temporarily, by improvement in the detailed-ized technique of a semiconductor device, since the number of semiconductor devices, such as a transistor required as the whole shift register, cannot be reduced when the transfer stage of a shift register is arranged for every pixel Rhine even if such high density arrangement was attained, the consumed electric current cannot be reduced. Furthermore, since it will be necessary to accelerate the transfer rate of each transfer interstage of a shift register if it is going to increase the number of pixel Rhine when a pulse transfer of a shift register is made to be performed for every pixel Rhine like before, the need (drive frequency is made higher) of accelerating more the working speed of the semiconductor device which constitutes the circuit of each transfer stage and the circuit of other parts arises.

[0005] Moreover, in the above-mentioned display of the conventional multi-scan correspondence, since the switching device for closing motion is prepared for every pixel Rhine in order to stop the selection pulse supply to pixel Rhine of a non-display field among full screens, the element number for every stage increases and the consumed electric current as the whole drive circuit increases. Under the situation that much more narrow-ization of a pixel pitch is called for especially, it is next to impossible to arrange a switching device for every pixel Rhine further the place where it is difficult in the width of face for 1-pixel Rhine to even arrange the circuit of one transfer stage of a shift register as mentioned above.

[0006] Thus, in the conventional image display device, while it was difficult to aim at narrow-izing of a pixel pitch, and increase of the number of pixels beyond the present condition, there was a problem that it was necessary to accelerate the component which constitutes a drive circuit.

[0007] This invention was not made in view of this trouble, and the purpose is in offering the pixel drive

circuit and drive circuit one apparatus pixel accumulation equipment which can realize easily narrow-izing of a pixel pitch, and increase of the number of pixels, without needing the increment in the number of the configuration components for a drive, and the further improvement in the speed of a working speed.

[0008]

[Means for Solving the Problem] The pulse migration means which the pixel drive circuit of this invention is a circuit for driving two or more pixels arranged in the two different directions, and carries out a sequential output while moving every two or more pixels of the 1st pulse signal along the direction of one of the two directions, Based on the 1st pulse signal outputted from the pulse migration means, it has a driving pulse generation means to generate many 2nd pulse signal from that for driving the pixel train arranged along other directions of [of the two directions] according to an individual. It is possible to constitute so that it may have a change means by which a pixel drive circuit can change whether the 1st pulse is further supplied from a pulse migration means to an individual driving pulse generation means between a pulse driving means and an individual driving pulse generation means here.

[0009] Two or more pixels arranged in the two directions in which the drive circuit one apparatus pixel accumulation equipment of this invention differs, The pulse migration means which carries out a sequential output while moving every two or more pixels of the 1st pulse signal along the direction of one of the two directions, Based on the 1st pulse signal outputted from the pulse migration means, it has an individual driving pulse generation means to generate many 2nd pulse signal from that for driving the pixel train arranged along other directions of [of the two directions] according to an individual. It is possible to constitute so that it may have a change means by which drive circuit one apparatus pixel accumulation equipment can change whether the 1st pulse is further supplied from a pulse migration means to an individual driving pulse generation means between a pulse driving means and an individual driving pulse generation means here.

[0010] With the pixel drive circuit of this invention, or drive circuit one apparatus pixel accumulation equipment, while every two or more pixels of the 1st pulse signal move along the direction of 1 with a pulse migration means and a sequential output is carried out, the 2nd pulse signal for driving the pixel train arranged along other directions of [of the two directions] based on the 1st pulse signal by the individual driving pulse generation means according to an individual is generated. It becomes possible to change whether the 1st pulse is further supplied from a pulse migration means to an individual driving pulse generation means here by having a change means between a pulse-driving means and an individual driving pulse generation means, and, thereby, the change of the range of the effective pixel train of the pixel trains arranged along other above-mentioned directions, i.e., the field which can be displayed, is attained.

[0011]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing. In addition, the following explanation explains the case where this invention is applied to the color liquid crystal display which formed the pixel section and a pixel drive circuit on the same substrate at one.

[0012] [Gestalt of the 1st operation] drawing 1 expresses the outline configuration of the color liquid crystal display (only henceforth a liquid crystal display) concerning the gestalt of 1 operation of this invention, and drives it by the so-called active matrix. This equipment is equipped with a liquid crystal panel 10, the signal driver 20, and the timing generating section 30 as shown in drawing 1. The pixel section 11 (drawing 2) mentioned later is carried in the liquid crystal panel 10. The signal driver 20 carries out predetermined signal transformation to the video input signals BSIN, RSIN, and GSIN inputted, and it outputs the common potential signal VCOM impressed to the counterelectrode which a liquid crystal panel 10 does not illustrate while it outputs the video signals BS, RS, and GS for driving each pixel for colors (not shown in this Fig.) of B (blue), R (red), and G (green) in a liquid crystal panel 10. The timing generating section 30 generates various kinds of timing signals HST, HCK, VST, VCK, FRP,

and SHS based on the synchronizing signals SYNC, such as a composite synchronizing signal.

[0013] Here, HST shows the start pulse (henceforth H start pulse) of the horizontal shift register which a liquid crystal panel 10 mentions later, and HCK shows the clock pulse (henceforth H clock pulse) which drives a horizontal shift register. 2VST(s) show the start pulse (henceforth V start pulse) of the perpendicular direction shift register which a liquid crystal panel 10 mentions later, and 2VCK shows the clock pulse (henceforth V clock pulse) which drives a perpendicular direction shift register. Moreover, FRP shows the reversal and the noninverting selection signal used for changing into the video signals BS, RS, and GS of the signal driver's 20 an alternating current of the video input signals BSIN, RSIN, and GSIN centering on predetermined direct current voltage, and SHS shows the sample hold signal used for the signal driver 20 setting up the phase of video signals BS, RS, and GS.

[0014] Drawing 2 expresses the example of 1 configuration of a liquid crystal panel 10. It is [the level drive circuit where a liquid crystal panel 10 contains the pixel section 11, the level switch section 12, and the horizontal shift register 13 (henceforth the H shift register 13) as shown in this drawing, and] the perpendicular direction shift register 141 (henceforth the V shift register 141). this Fig. — not illustrating — it has the vertical-drive circuit 14 to include. The H start pulse HST shown in drawing 1 and the H clock pulse HCK are inputted into the H shift register 13, and V start pulse 2VST shown in drawing 1 and V clock pulse 2VCK are inputted into V shift register of the vertical-drive circuit 14.

[0015] The pixel section 11 arranges the pixel which consists of a liquid crystal cell, a switching element, etc. in the shape of a matrix, is constituted, and can display an image now by driving each of these pixels alternatively. As a switching element, a thin film transistor (TFT) etc. is used, for example. In the example shown in drawing 2, while the pixel section 11 arranges the pixels BD (1 j), RD (2 j), GD (3 j), ..., GD (N, j) of N individual [j=1-M] horizontally M pixel BD(1 1) - (1 M), RD (2 1) GD (3 1) - (3 M) ..., and GD(N, 1) - (N, M) are arranged perpendicularly, and it is constituted. Here, it is shown that BD, RD, and GD are blue, red, and a pixel for green, respectively.

[0016] The level switch section 12 is constituted including horizontal switch 12(1) - 12(N) of N individual, and has the function which supplies alternatively the video signals BS, RS, and GS inputted from the signal driver 20 (drawing 1) to the pixel section 11. Horizontal switch 12(1) - 12(N) of N individual is divided into every three groups. Community (juxtaposition) connection of the three level switches of each group is made in each transfer stage of the H shift register 13. And sequential supply of the horizontal selection pulse is carried out from each transfer stage of the H shift register 13 with a predetermined time interval to each of these groups. The predetermined time interval said here becomes settled with the period of the H clock pulse HCK supplied to the H shift register 13 from the timing generating section 30 (drawing 1). Corresponding to each, video signals BS, RS, and GS are supplied to three level switches of each group from the timing generating section 30 of drawing 1.

[0017] The H shift register 13 is selectable in the pixel train for a drive (pixel array prolonged perpendicularly) by the horizontal selection pulse which consists of two or more pulse transfer stages, and carries out a sequential output from each stage. The H shift register 13 starts actuation by making into a trigger the H start pulse HST supplied from the timing generating section 30, and, more specifically, performs a horizontal pixel selection scan by carrying out the sequential output of the horizontal selection pulse from each transfer stage with the time interval which becomes settled by the H clock pulse HCK. Three level switches in each group in the level switch section 12 will be in an open condition at coincidence, whenever a horizontal selection pulse is supplied from the H shift register 13, and they supply video signals BS, RS, and GS to juxtaposition at three pixel trains to which the pixel section 11 corresponds.

[0018] Next, the configuration of the vertical-drive circuit 14 is explained with reference to drawing 3 - drawing 5. Here, drawing 3 expresses the whole vertical-drive circuit 14 configuration, drawing 4 expresses the configuration of the V shift register 141 of drawing 3, and drawing 5 expresses the various signal wave forms in the vertical-drive circuit 14. As shown in drawing 3, the vertical-drive circuit 14 is constituted including the V shift register 141, the decoder section 142, and the buffer

section 143.

[0019] The V shift register 141 consists of two or more pulse transfer stages 141-1 – 141-m. Here, as mentioned later, it is $m=M/2$. V clock pulse 2VCK as V start pulse 2VST as shown in drawing 5 (b) supplied to the top pulse transfer stage 141-1 from the timing generating section 30 of drawing 1 and shown in each pulse transfer stage 141-1 – 141-m from the timing generating section 30 at drawing 5 (c) is inputted into juxtaposition. Each pulse transfer stage 141-1 – 141-m are constituted using one inverter and two clocked inverters which operate synchronizing with the V clock pulse VCK, and series connection is mutually carried out so that it may mention later. Like illustration, one pulse transfer stage is prepared corresponding to two pixel Rhine in the pixel section 11 (drawing 2). More specifically, the pulse transfer stage 141-1 is pixel Rhine a1 and a2. Corresponding, the pulse transfer stage 141-2 is pixel Rhine a3 and a4. Corresponding, pulse transfer stage 141-m is pixel Rhine a (M-1) and aM. It corresponds. Here, pixel Rhine aj ($j=1-M$) shows the pixel array which consists of pixels BD (1 j)-GD (N, j) in the pixel section 11. Such a V shift register 141 of a configuration With the time interval which starts the pulse transfer operation of each transfer interstage by making into a trigger V start pulse 2VST supplied from the timing generating section 30, and becomes settled by V clock pulse 2VCK From each pulse transfer stage 141-1 – 141-m, the sequential output of the shift register pulse SRP1 as shown in drawing 5 (d) – (f) – the SRPm (however drawing 5 only SRP1-SRP3 illustration) is carried out, respectively. Here, the V shift register 141 corresponds to the “pulse migration means” in this invention, and the shift register pulse SRP1 – SRPm correspond to the “1st pulse signal” in this invention.

[0020] As shown in drawing 4 , the pulse transfer stage 141-1 of the V shift register 141 contains the latch circuit which consists of a clocked inverter 1411, and the inverter 1412 and clocked inverter 1413 which were formed in the outgoing end side of a clocked inverter 1411.

[0021] The clocked inverter 1411 is constituted including the transistors 1411a and 1411b of two PMOS molds, and the transistors 1411c and 1411d of two NMOS molds. Between the source drains of Transistors 1411a and 1411b, it connects mutually and between Transistors [1411c and 1411d] source drains is connected mutually. CMOS structure is inputted into V start pulse 2VST to Transistors 1411b and 1411c at the gate of nothing and both. It connects mutually and both drain is connected to the input edge (gate of the transistors 1411b and 1411c of the pulse transfer stage 141-2) of the pulse transfer stage of the next step as an outgoing end. The source of transistor 1411a is connected to power-source Rhine VDD, and ground connection of the transistor 1411d source is carried out. /2VCK which is the reversal signal of V clock pulse 2VCK is inputted into the gate of transistor 1411a, and V clock pulse 2VCK is inputted into the gate which is transistor 1411d.

[0022] The inverter 1412 is constituted by the transistors 1412a and 1412b of a CMOS configuration, and the input edge (gate of Transistors 1412a and 1412b) is connected to the outgoing end (drain of Transistors 1411b and 1411c) of a clocked inverter 1411. The source of transistor 1412a is connected to power-source Rhine VDD, and ground connection of the source of transistor 1412b is carried out.

[0023] A clocked inverter 1413 is the same configuration as a clocked inverter 1411, and is constituted including the transistors 1413a and 1413b of two PMOS molds, and the transistors 1413c and 1413d of two NMOS molds. While the input edge (gate of the transistors 1413b and 1413c which make a CMOS configuration) of this clocked inverter 1413 is connected to the outgoing end (drain of Transistors 1412a and 1412b) of an inverter 1412, the outgoing end (drain of Transistors 1413b and 1413c) is connected to the input edge (gate of Transistors 1412a and 1412b) of an inverter 1412.

[0024] In the pulse transfer stage 141-1 of such a configuration, from the outgoing end (drain of Transistors 1411b and 1411c) of a clocked inverter 1411, while the shift register pulse SRP1 is outputted and being transmitted to the pulse transfer stage 141-2 of the next step, it is inputted into the decoder section 142. It is a configuration with the same said of other pulse transfer stages 141-2 – 141-m.

[0025] With reference to drawing 3 , it explains again. it was shown in this drawing — as — the decoder section 142 — each pixel Rhine aj of the pixel section 11 every — prepared NAND gate 142-j ($j=1-M$) is

included. Decoding pulse VCK-A as shown in drawing 5 (g) is inputted into the input edge of one way each of the odd-numbered NAND gate 142-1, 142-3 grade, and decoding pulse VCK-B as shown in drawing 5 (h) is inputted into the input edge of one way each of the even-numbered NAND gate 142-2, 142-4 grade. Here, decoding pulse VCK-A has 1/2 of the periods of V clock pulse 2VCK, and decoding pulse VCK-B has the wave which reversed decoding pulse VCK-A.

[0026] The shift register pulse SRPk of NAND gate 142- (2k-1) of the decoder section 142 and 142-2k which it is from pulse transfer stage 141-k of the V shift register 141 in other input edges is inputted respectively. Here, it is $k=1-m$. These NAND gate 142- (2k-1) and 142-2k decode the shift register pulse SRPk from the V shift register 141 by decoding pulse VCK-A or VCK-B, and output it, respectively. Here, the decoder section 142 corresponds to the "driving pulse generation means" in this invention.

[0027] the buffer section 143 — each pixel Rhine aj of the pixel section 11 every — prepared buffer 143-j ($j=1-M$) is included. The input edge of each buffer 143-j is connected to the outgoing end of each NAND gate 142-j of the decoder section 142, and an outgoing end is pixel Rhine aj. It connects with the gate of TFT (not shown) which constitutes each pixel. Each buffer 143-j is the gate pulse GPj as reversed the logic of the corresponding output signal from NAND gate 142-j and shown in drawing 5 (i) - (n). It outputs. These gate pulses GPj Pixel Rhine aj where the pixel section 11 corresponds The gate (not shown) of the TFT transistor which constitutes each pixel is supplied, and each pixel is driven. pixel Rhine aj where, as for each buffer 143-j, the pixel section 11 corresponds [the decoder section 142 or the V shift register 141] again It also has the function to isolate both not to be influenced [which can be set] of wiring capacity. Here, it is a gate pulse GPj. It corresponds to the "2nd pulse signal" in this invention.

[0028] Next, actuation of the color liquid crystal display of the above configurations is explained.

[0029] In drawing 3, V start pulse 2VST outputted from the timing generating section 30 (drawing 1 R> 1) is inputted into the pulse transfer stage 141-1 of the V shift register 141, and V clock pulse 2VCK is supplied to each pulse transfer stage 141-1 of the V shift register 14 - 141-m. Each of these pulse transfer stages 141-1 - 141-m carry out the sequential output of the shift register pulse SRP1 as shown in drawing 5 (d) - (f) - the SRPm while performing a pulse transfer one by one according to V clock pulse 2VCK.

[0030] The shift register pulse SRP1 outputted from each pulse transfer stage 141-1 of the V shift register 141 - 141-m - SRPm are inputted into the group of a NAND gate in the decoder section 142 which corresponds, respectively. More specifically, the shift register pulse SRPk ($k=1-m$) is inputted into corresponding NAND gate 142- (2k-1) and 142-2k. These NAND gate 142- (2k-1) and 142-2k decode and output the shift register pulse SRPk by decoding pulse VCK-A and VCK-B as shown in drawing 5 (g) and (h), respectively. gate pulse GPj as the output of NAND gate 142-j ($j=1-M$) reversed by buffer 143-j of the buffer section 143, respectively and shown in drawing 5 R> 5 (i) - (n) ***** — it is outputted. A gate pulse GPj is pixel Rhine aj where the pixel section 11 (drawing 2) corresponds. The gate of the TFT transistor of each pixel which can be set is supplied, and each transistor is changed into an ON (open) condition.

[0031] On the other hand, the H start pulse HST outputted from the timing generating section 30 (drawing 1) and the H clock pulse HCK are supplied to the H shift register 13 (drawing 1). The H shift register 13 is outputted carrying out the sequential shift of the level selection pulse according to these signals HST and HCK. A sequential input is carried out at each level switch group whom the level switch section 12 described above, respectively, and these level selection pulses change the level switch in each group into an open condition. Consequently, sequential selection of each three trains [every] pixel train from the 1st train to the Nth train is made.

[0032] Gate pulse GP1 from the buffer section 143 Pixel Rhine a1 When the pixel train to the 3rd train is chosen from one train in the period chosen by the level selection pulse from the H shift register 13, the video signals BS, RS, and GS inputted from the signal driver 20 are pixel Rhine a1, respectively.

Pixels BD (1 1)–GD (3 1) are supplied. Next, video signals BS, RS, and GS are supplied to Pixels BD (4 1)–GD (6 1) by choosing the pixel train from the 4th train to the 6th train, respectively. It is pixel Rhine a1 like the following. Three pixels are chosen at a time one by one, and video signals BS, RS, and GS are supplied to coincidence to each.

[0033] Pixel Rhine a1 After the writing of a video signal to the pixel of N individual is completed next, it is a gate pulse GP2. Pixel Rhine a2 It is chosen and is pixel Rhine a1 also here. Every three pixels are chosen like a case and video signals BS, RS, and GS are supplied to coincidence. Like the following, whenever supply of the video signal for 1–pixel Rhine is completed, it is a gate pulse GPj. Next pixel Rhine is chosen. Thereby, processing for the 1 field is completed. Furthermore, termination of processing for the 1 field performs same processing also in the next field.

[0034] Here, with reference to drawing 6 and drawing 7, the example of a comparison over the gestalt of this operation is explained.

[0035] Drawing 6 expresses the outline configuration of the vertical–drive circuit 114 as an example of a comparison over the vertical–drive circuit 14 in the gestalt of this operation, and drawing 7 expresses the timing of the various signals in this vertical–drive circuit 114. In addition, the same sign is given to the component same in these drawings as the gestalt (drawing 3 , drawing 5) of this operation. As shown in drawing 6 , the vertical–drive circuit 114 of this example of a comparison is constituted including the V shift register 1141, the decoder section 1142, and the buffer section 143. The V shift register 1141 differs from the V shift register 141 in the gestalt of the above–mentioned implementation, and is each pixel Rhine aj of the pixel section 11. It consists of pulse transfer stage 1141–j (j=1–M) of a total of M (= 2m) individuals prepared by corresponding. Here, each pulse transfer stage 1141–j is the same circuitry as the circuit shown in drawing 4 of the gestalt of the above–mentioned implementation, and is constituted by two clocked inverters and one inverter. The V start pulse VST as shown in drawing 7 (a), and the V clock pulse VCK as shown in drawing 7 (b) are inputted into the V shift register 1141. Here, the V start pulse VST and the V clock pulse VCK are pulse signals of V start pulse 2VST in the gestalt of the above–mentioned implementation, and V clock pulse 2VCK which have a twice as many frequency (period of 1/2) as this, respectively, respectively.

[0036] V — a shift register — 1141 — each — a pulse — a transfer — a stage — 1141 – j — V — a start pulse — VST — and — V — a clock pulse — VCK — following — a pulse — a transfer — carrying out — drawing 7 — (— c —) – (— h —) — having been shown — as — a shift register — a pulse — SRPj — “ (SPR1 “–SPR6” is illustrated in this drawing) — sequential — an output — carrying out — a decoder — the section — 1142 — it can set — corresponding — a NAND gate — 1142 — – j — supplying — coming — **** — . Each NAND gate 1142–j of the decoder section 1142 decodes and outputs shift register pulse SRPj” supplied from corresponding pulse transfer stage 1141–j by shift register pulse SRP(j–1) ” from pulse transfer stage 1141– (j–1) of the preceding paragraph. Each buffer 143–j of the buffer section 143 is the gate pulse GPj as reversed the output of corresponding NAND gate 1142–j and shown in drawing 7 (i) – (n). Pixel Rhine aj which outputs and corresponds It supplies.

[0037] thus, the vertical–drive circuit 114 of this example of a comparison — setting — pulse transfer stage 1141–j of the V shift register 1141 — each pixel Rhine aj of the pixel section 11 every — one is prepared at a time. Here, when complicatedly [a total of ten transistor components are required, and / to be wired.] between each transistor component is taken into consideration as shown in drawing 4 in order to constitute one pulse transfer stage 1141–j, a remarkable arrangement area is needed. For this reason, when it is going to narrow a pixel pitch for highly–minute–izing of the pixel section 11, it is 1–pixel Rhine aj. It becomes difficult to form one pulse transfer stage 1141–j in the field corresponding to width of face. For example, when it constitutes one transfer stage of the V shift register 1141 like drawing 4 , ten transistor components must be arranged to the width–of–face field for 1–pixel Rhine, and it cannot respond to narrow–ization of a pixel pitch. By moreover, contraction–ization of the size of a transistor component, or wiring width of face temporarily accompanying improvement in a manufacturing technology 1–pixel Rhine aj Even if it is able to form one pulse transfer stage 1141–j in the width–of–

face field of a part It is difficult and it is pixel Rhine a_j of the pixel section 11 to realize it, without being accompanied by the rise of a manufacturing cost. When a number ($=j$) is increased Since an element number required for the configuration of the V shift register 1141 increases in proportion to it, it is inevitable that the consumed electric current of the vertical-drive circuit 114 increases remarkably. Furthermore, since the V start pulse VST and the V clock pulse VCK for operating the V shift register 1141 are a pulse signal with a high frequency as shown in drawing 7 (a) and (b), the transistor component which constitutes each pulse transfer stage of the V shift register 1141 must have good frequency characteristics, and they have a difficulty on a configuration also at this point.

[0038] On the other hand, while matching one pulse transfer stage to two pixel Rhine according to the vertical-drive circuit 14 of the gestalt of this operation The output from each pulse transfer stage is decoded by the decoder section 142, and it is each pixel Rhine a_j . Since the gate pulse GP_j of ** was created, if the total of pixel Rhine is the same, the configuration number of stages of the V shift register 141 can be set to 1/2 of the above-mentioned example of a comparison. Therefore, it is possible to set a total element number required for the configuration of the V shift register 141 to about 1/2, and the consumed electric current can be reduced. Moreover, since what is necessary is just to form one pulse transfer stage in the width-of-face field for 2-pixel Rhine, even if it makes a pixel pitch fairly narrow, it can respond enough also on the present manufacturing-technology level. For example, since what is necessary will be just to arrange five transistor components that what is necessary is just to arrange ten transistor components to the width-of-face field for 2-pixel Rhine in constituting one transfer stage of the V shift register 141-like drawing 4 if it is made per 1-pixel Rhine, manufacture is easy. Furthermore, V start pulse 2VST for operating the V shift register 141 and V clock pulse 2VCK the V start pulse VST used in the example of a comparison as shown in drawing 5 (b) and (c), and the V clock pulse VCK (drawing 7 (a) —) Since it is a pulse signal with a low frequency compared with (b), the transistor component which constitutes each pulse transfer stage of the V shift register 141 does not need to have so good frequency characteristics, and they are usable in the component of the usual property.

[0039] In addition, although decoding pulse VCK-A and VCK-B which are used in the decoder section 142 are assigned in the sequence A, B, A, and B—, by turns for every NAND gate and were inputted with the gestalt of this operation as shown in drawing 3 In addition, as shown in drawing 8 and drawing 9, above-mentioned decoding pulse VCK-A, decoding pulse 2 VCK-A with one (the frequency of 1/2) twice the pulse width of VCK-B, and 2 VCK-B are prepared. You may deform so that these may be assigned and inputted into each NAND gate of decoder section 142' in the sequence A, B, B, A, A, B, and —. In addition, drawing 8 expresses the outline configuration of vertical-drive circuit 14' as a modification of the gestalt of this operation, and drawing 9 expresses the timing of the various signals of vertical-drive circuit 14' of drawing 8. In these drawings, the same sign is given to the same component as each component shown in above-mentioned drawing 3 and above-mentioned drawing 5, and explanation is omitted. The configuration of parts other than an approach to assign the wave of decoding pulse 2 VCK-A and 2 VCK-B and decoding pulse 2 VCK-A to each NAND gate of decoder section 142', and 2 VCK-B among drawing 8 and drawing 9 is the same as that of drawing 3 R> 3 and drawing 5.

[0040] In the modification shown in drawing 8, since it can be made 1/2 of decoding pulse 2 VCK-A, decoding pulse VCK-A which showed the frequency of 2 VCK-B to above-mentioned drawing 5 (g) and (h), and VCK-B as shown in drawing 9 (g) and (h), the transistor component which constitutes a NAND gate may not have high frequency characteristics. Moreover, in the example of drawing 5, since the shift register pulse SRP1, decoding pulse VCK-A, or VCK-B has started or fallen to the same timing, for example in timing t_1 and t_2 , if a slight timing gap is among both, a mustache-like spike noise may occur in the output of a NAND gate. On the other hand, since the timing of a standup and falling differs completely in the modification shown in drawing 8 between the shift register pulse SRP1, decoding pulse 2 VCK-A, or 2 VCK-B as shown in drawing 9 (g) and (h), there are few possibilities that the spike noise of the shape of an above mustache may occur.

[0041] [The gestalt of the 2nd operation], next the gestalt of operation of the 2nd of this invention are explained.

[0042] Drawing 10 expresses the outline configuration of the vertical-drive circuit 24 applied to the color liquid crystal display concerning the gestalt of operation of the 2nd of this invention. This vertical-drive circuit 24 is replaced with the V shift register 141 and the decoder section 142 in a gestalt (drawing 3) of implementation of the above 1st, and is equipped with the V shift register 241 and the decoder section 242, respectively. This V shift register 241 is m1. Pulse transfer stage 241-1-241-m1 of an individual It is contained and constituted. Each one pulse transfer stage 241-p (here, it is $p=1-m1$) of every is prepared to three pixel Rhine a ($3p-2$), a ($3p-1$), and a ($3p$) of the pixel section 11 (drawing 2), and that of the internal configuration is the same as that of what was shown in drawing 4 . Here, it is $m1 = M/3$ (= natural number).

[0043] As shown in the V shift register 241 at drawing 11 (b) and (c), V start pulse 3VST of the V start pulse VST in the above-mentioned example of a comparison (drawing 7 (a), (b)) and the V clock pulse VCK which has one 3 times the period of this, respectively, and V clock pulse 3VCK are supplied from the timing generating section 30 (drawing 1). Here, the V shift register 241 corresponds to the "pulse migration means" in this invention.

[0044] Three decoding pulse VCK-A' which has a mutually different phase as shown in drawing 11 (g) - (i) in the decoder section 242, VCK-B', and VCK-C' are supplied, and, and it is inputted into an input edge, respectively. [NAND gate 242- / corresponding to pulse transfer stage 241-p / ($3p-2$), 242- ($3p-1$), and 242- $3p$] [while] The shift register pulse SRPp of these three NAND gate 242- ($3p-2$), 242- ($3p-1$), and 242- $3p$ is respectively inputted from pulse transfer stage 241-p which is the V shift register 241 in other input edges. The decoder section 242 corresponds to the "driving pulse generation means" in this invention, and the shift register pulse SRPp corresponds to the "1st pulse signal" in this invention.

[0045] Next, actuation of the vertical-drive circuit 24 of such a configuration is explained. V start pulse 3VST outputted from the timing wiring section 30 of drawing 1 is inputted into the pulse transfer stage 241-1 of the V shift register 241 — having — V clock pulse 3VCK — the V shift register 24 — each — pulse transfer stage 241-1-241-m1 It is supplied. these — each — pulse transfer stage 241-1-241-m1 While performing a pulse transfer one by one according to V clock pulse 3VCK, the sequential output of shift register pulse SRP1' as shown in drawing 11 (d) - (f) - SRPm1 ' is carried out. These shift register pulses SRP1 - SRPm1 ' are inputted into the group of three NAND gates in the decoder section 242 which corresponds, respectively. More specifically, the shift register pulse-SRPp is inputted into three NAND gate 242- ($3p-2$), 242- ($3p-1$), and 242- $3p$. $p=1-m1$ [however,] it is . By decoding pulse VCK-A, VCK-B, and VCK-C, NAND gate 242- ($3p-2$), 242- ($3p-1$), and 242- $3p$ decodes the shift register pulse SRPp, respectively, and outputs it. The output of each of these NAND gates is the gate pulse GPj as buffer 143-j of the buffer section 143 was reversed, respectively and shown in drawing 11 (j) - (o), respectively. It is outputted by carrying out. Gate pulse GPj Pixel Rhine aj where the pixel section 11 (drawing 2) corresponds The gate of the TFT transistor of each pixel which can be set is supplied, and each transistor is changed into an ON (open) condition.

[0046] Thus, according to the gestalt of this operation, since one pulse transfer stage 241-p was prepared to three pixel Rhine of the pixel section 11, rather than the case of the gestalt of implementation of a total element number required for the configuration of the V shift register 241 of the above 1st, it can decrease further and the consumed electric current can be reduced further. Moreover, since what is necessary is just to form one pulse transfer stage in the width-of-face field for 3-pixel Rhine, even if it makes a pixel pitch still narrower, it can respond enough on the present manufacturing-technology level. For example, since what is necessary is just to arrange about three transistor components that what is necessary is just to arrange ten transistor components to the width-of-face field for 3-pixel Rhine if it is made per 1-pixel Rhine in constituting one transfer stage of the V shift register 241 like drawing 4 , manufacture becomes still easier. Furthermore, since it is a pulse

signal with a more low frequency compared with V start pulse 2VST used with the gestalt of the 1st operation, and V clock pulse 2VCK as V start pulse 3VST for operating the V shift register 241 and V clock pulse 3VCK were shown in drawing 11 (b) and (c), the frequency characteristics required of the transistor component which constitutes each pulse transfer stage of the V shift register 241 will become looser.

[0047] [The gestalt of the 3rd operation], next the gestalt of operation of the 3rd of this invention are explained.

[0048] Drawing 10 expresses the outline configuration of the vertical-drive circuit 34 applied to the color liquid crystal display concerning the gestalt of operation of the 3rd of this invention. The display electronic switch 344 which enables this vertical-drive circuit 34 to change the viewing area of the pixel section 11 (drawing 2) to alpha or beta according to the class (specification) of video signal inputted between the V shift registers 141 and the decoder sections 142 in the vertical-drive circuit 14 shown with the gestalt (drawing 3) of implementation of the above 1st is formed. Here, viewing areas alpha are all pixel Rhine $a_1 \sim a_M(s)$ of the pixel section 11. It is a viewing area when giving an indication possible, and a viewing area beta is a $(M-1)$ among [a_2] pixel Rhine of the pixel section 11 -. It is a viewing area when giving an indication possible.

[0049] As shown in drawing 12 , the display electronic switch 344 contains m NAND gates (however, $m=M/2$) 344-1 - 344- m . Each NAND gate 344- k (however, $k=1 \sim m$) is for controlling whether the shift register pulse SRPk outputted from each pulse transfer stage 141- k of the V shift register 141 is inputted into corresponding NAND gate 142- $(2k-1)$ in the latter decoder section 142, and 142- $2k$. And the shift register pulse SRPk is inputted into an input edge. [NAND gate 344- k] [while] Moreover, the display change signal SW in NAND gate 344- m of the bottom in NAND gate 344-1 of the maximum upper case which takes one value of the "H" or "L" level in other input edges is inputted respectively. all of an input edge besides each in other NAND gates 344-2 - 344- $(m-1)$ are being fixed to "H" level. Other configurations are the same as that of the case of drawing 3 . Here, the display electronic switch 344 corresponds to the "change means" in this invention.

[0050] Next, actuation of the vertical-drive circuit 34 of the above configurations is explained.

[0051] First, in enabling a display of a viewing area alpha, it makes into "H" level the display change signal SW inputted into NAND gate 344-1 of the display electronic switch 344, and 344- m . Thereby, all NAND gates 344-1 - 344- m will be in a gate open condition, and all the shift register pulses SRP1 from the V shift register 141 - SRP $m(s)$ will be supplied to the decoder section 142 as they are. That is, in this condition, it becomes equal to the circuit condition shown in drawing 3 . The viewing area [section / 11 / whole / pixel] alpha which it is will be in an active state, and an image will be displayed here.

[0052] On the other hand, in enabling a display of a viewing area beta, it makes into "L" level the display change signal SW inputted into NAND gate 344-1 of the display electronic switch 344, and 344- m . Thereby, only NAND gate 344-2 - 344- $(m-1)$ will be in a gate open condition, and NAND gate 344-1 and 344- m will be in a gate closed state. For this reason, the shift register pulse SRP1 and SRP m from the V shift register 141 are not supplied to the decoder section 142, but only the shift register pulses SRP2-SRP $(m-1)$ are supplied to the decoder section 142 as they are. Thereby, the viewing area beta of the pixel sections 11 will be in an active state, and an image is displayed here. At this time, they are pixel Rhine $a_1, a_2, a_{(M-1)},$ and a_M . A part is displayed black.

[0053] Here, the example of a comparison over the vertical-drive circuit 34 of the gestalt of this operation is explained.

[0054] Drawing 13 expresses the outline configuration of the vertical-drive circuit 214 as an example of a comparison over the gestalt of this operation. The display electronic switch 1144 which enables this vertical-drive circuit 214 to change the viewing area of the pixel section 11 (drawing 2) to alpha or beta according to the class (specification) of video signal inputted between the decoder sections 1142 and the buffer sections 143 in the vertical-drive circuit 114 shown in the example of a comparison over the gestalt of implementation of the above 1st (drawing 6) is formed. Here, viewing areas alpha and

beta are the same as the thing in the gestalt (drawing 12) of this operation. The display electronic switch 1144 consists of M NAND gates 1144-1 - 1144-M. Each of such NAND gate 1144-j ($j=1-M$) is each pixel Rhine a_j of the pixel section 11. It is corresponded and prepared.

[0055] Each NAND gate 1144-j is for controlling whether the output of each NAND gate 1142-j of the decoder section 1142 is inputted into corresponding buffer 143-j in the latter buffer section 143. And the output of each NAND gate 1142-j of the decoder section 1142 is inputted into an input edge.

[NAND gate 1144-j] [while] Moreover, the display change signal SW in two NAND gates 1144-1 by the side of the maximum upper case, 1144-2 and two NAND gate 1144- by the side of the bottom (M-1), and 1144-M which takes one value of the "H" or "L" level in other input edges is inputted respectively. all of an input edge besides each in other NAND gates 1144-3 - 1144- (M-2) are being fixed to "H" level. Other configurations are the same as that of the case of drawing 6 .

[0056] In the vertical-drive circuit 214 of such a configuration, in order to enable the display of a viewing area alpha, all NAND gates 1144-1 - 1144-M are changed into a gate open condition by making the display change signal SW into "H" level. The output of all NAND gate 1142-j of the decoder section 1142 will be supplied to buffer 143-j to which the buffer section 143 corresponds as it is by this, and a viewing area alpha will be in an active state. On the other hand, in order to enable a display of a viewing area beta, only two NAND gates 1144-1 by the side of the maximum upper case, 1144-2 and two NAND gate 1144- by the side of the bottom (M-1), and 1144-M are made into a gate closed state by making the display change signal SW into "L" level. Thereby, the output of these four NAND gates is not supplied to the buffer section 143, but only the output of NAND gate 1144-3 - 1144- (M-2) is supplied to the decoder section 142 as it is. Thereby, a viewing area beta will be in an active state, and they are pixel Rhine a_1 , a_2 and $a_{(M-1)}$, and a_M . A part is displayed black.

[0057] thus, each pixel Rhine [in / at this example of a comparison / the pixel section 11] a_j every — since NAND gate 1144-1 for a display change - 1144-M are prepared and the display electronic switch 1144 is constituted, it becomes still more difficult than the case (drawing 3) where dealing with narrow-ization of a pixel pitch is the gestalt of implementation of the above 1st. Moreover, since there are many transistor element numbers required for the configuration of the display electronic switch 1144, the consumed electric current becomes large.

[0058] On the other hand, in the vertical-drive circuit 34 (drawing 12) of the gestalt of this operation, since the display electronic switch 344 is constituted from preparing NAND gate 1144-k corresponding to pulse transfer stage 141-k prepared to two groups of pixel Rhine $a_{(2k-1)}$ and $a_{(2k)}$, it becomes still easier from the case where dealing with narrow-ization of a pixel pitch is the above-mentioned example of a comparison (drawing 13). Moreover, since a transistor element number required for the configuration of the display electronic switch 344 is reducible, the consumed electric current can be further reduced rather than the case of the above-mentioned example of a comparison (drawing 13).

[0059] In addition, although the gestalt of this operation explained the case where established the display electronic switch 344 in the vertical-drive circuit 14 shown in the gestalt of implementation of the above 1st, and a viewing area was changed, it is also possible to establish a display electronic switch in the vertical-drive circuit 24 (drawing 10) shown in the gestalt of implementation of the above 2nd, and to change a viewing area. In this case, what is necessary is just to constitute a display electronic switch in the vertical-drive circuit 24 of drawing 10 , as one NAND gate is prepared among three groups of NAND gate 242- ($3p-2$), 242- ($3p-1$), and 242- $3p$ to which pulse transfer stage 141-p ($p=1-m_1$) of the V shift register 241 and the decoder section 242 correspond.

[0060] As mentioned above, although the gestalt of some operations was mentioned and this invention was explained, this invention is not limited to the gestalt of these operations, and is variously deformable. For example, although the V shift register 241 was constituted from a gestalt of implementation of the above 2nd as one pulse transfer stage 241-p was prepared to three pixel Rhine $a_{(3p-2)}$, $a_{(3p-1)}$, and $a_{(3p)}$ in the pixel section 11, you may make it prepare one pulse transfer stage to four or more pixel Rhine.

[0061] Moreover, although the horizontal drive method was considered as the 3-dot coincidence sampling with the gestalt of each above-mentioned implementation, it is good also as a multi-dot coincidence sampling which carries out a coincidence drive, or you may make it drive 1 pixel of more pixels but not only this at a time.

[0062] Moreover, although the gestalt of this operation explained the color liquid crystal display, this invention is not limited to this and can be applied also to a monochrome liquid crystal display. furthermore, indicating equipments other than a liquid crystal display, for example, PD (plasma display) component and EL (electroluminescence) component, — it is applicable to a FED (Field Emission Display) component etc. further. In addition, while arranging on an array by using many detailed electron sources as cathode, pull out an electron from each cathode, and it is made to collide to the fluorescent substance which applied these electrons to the anode plate, and is made to make light emit by impressing the high voltage to each cathode with this FED.

[0063]

[Effect of the Invention] As explained above, according to claim 1, a pixel drive circuit according to claim 2, claim 3, or drive circuit one apparatus pixel accumulation equipment according to claim 4 While establishing the pulse migration means which carries out a sequential output, moving every two or more pixels of the 1st pulse signal along the direction of one of the two directions of a pixel array Since many 2nd pulse signal was generated from that for driving the pixel train arranged along other directions of [of the two directions] based on the 1st pulse signal by the individual driving pulse generation means according to an individual, the number of the circuit elements which constitute a pulse migration means is reducible. For this reason, while the arrangement area of the circuit which constitutes a pulse migration means is reducible, reduction of power consumption is attained. Moreover, since a pulse migration means should just output the 1st one pulse signal corresponding to two or more pixel trains, it can ease the demand of frequency characteristics to the circuit element which constitutes this pulse migration means.

[0064] Especially, even if it is the case where the pixel section and its drive circuit are constituted in one since the number of the circuit elements which constitute a pulse migration means according to drive circuit one apparatus pixel accumulation equipment according to claim 3 or 4 is reduced and circuit area can be reduced, it is effective in the ability to respond to narrow-ization of a pixel pitch enough.

[0065] Moreover, according to a pixel drive circuit according to claim 2 or drive circuit one apparatus pixel accumulation equipment according to claim 4 Furthermore, since it constituted so that it might have a change means by which it can change whether the 1st pulse is supplied from a pulse migration means to an individual driving pulse generation means between a pulse driving means and an individual driving pulse generation means The configuration element number of an electronic switch can be reduced compared with the case where it constitutes so that a change means may be established between an individual driving pulse generation means and each pixel train like before, and circuit size serves as a compact more. Therefore, when changing the part of all the pixels alternatively into the condition of not driving and making viewing-area size switchable by the electronic switch, power consumption can be reduced compared with the former, and it is effective in the ability to respond to narrow-ization of a pixel pitch.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram showing the outline configuration of the color liquid crystal display concerning the gestalt of operation of the 1st of this invention.

[Drawing 2] It is drawing showing the outline configuration of the liquid crystal panel in drawing 1.

[Drawing 3] It is a circuit diagram showing the outline configuration of the vertical-drive circuit in drawing 1.

[Drawing 4] It is a circuit diagram showing the configuration of each transfer stage of the shift register in drawing 3.

[Drawing 5] It is a timing chart for explaining actuation of the vertical-drive circuit of drawing 3.

[Drawing 6] It is a circuit diagram showing the outline configuration of the vertical-drive circuit as an example of a comparison over the gestalt of operation of the 1st of this invention.

[Drawing 7] It is a timing chart for explaining actuation of the vertical-drive circuit of drawing 6.

[Drawing 8] It is a circuit diagram showing the modification over the vertical-drive circuit of drawing 3.

[Drawing 9] It is a timing chart for explaining actuation of the vertical-drive circuit of drawing 8.

[Drawing 10] It is a block diagram showing the outline configuration of the vertical-drive circuit used for the color liquid crystal display concerning the gestalt of operation of the 2nd of this invention.

[Drawing 11] It is a timing chart for explaining actuation of the vertical-drive circuit of drawing 10.

[Drawing 12] It is a block diagram showing the outline configuration of the vertical-drive circuit used for the color liquid crystal display concerning the gestalt of operation of the 3rd of this invention.

[Drawing 13] It is a circuit diagram showing the outline configuration of the vertical-drive circuit as an example of a comparison over the gestalt of operation of the 3rd of this invention.

[Description of Notations]

10 [— H shift register,] — A liquid crystal panel, 11 — The pixel section, 12 — The level switch section, 13-24 14, 14', 34 — A vertical-drive circuit, 141, 241 — V shift register, 141-1 — 141-m, and 241-1-241-m1 — Pulse transfer stage, 142, 142', 242 — The decoder section, 143 — The buffer section, 344 — Display electronic switch, a1 — aM — Pixel Rhine, BS, RS, GS — A video signal, 2VST, 3 VST — V start pulse, 2VCK(s), 3 VCK — V clock pulse, VCK-A, VCK-B, 2 VCK-A, 2 VCK-B, VCK-A', VCK-B', VCK-C' — Decoding pulse, SRP1 — SRPm, and SRP1-SRPm1 — A shift register pulse and GP1 — GPM — gate pulse.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-296129

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁸

G 0 9 G 3/20

識別記号

6 2 2

6 2 3

6 5 0

6 6 0

G 0 2 F 1/133

5 5 0

F I

G 0 9 G 3/20

6 2 2 E

6 2 3 U

6 5 0 B

6 6 0 E

G 0 2 F 1/133

5 5 0

審査請求 未請求 請求項の数 4 O L (全 15 頁) 最終頁に続く

(21) 出願番号

特願平10-94508

(22) 出願日

平成10年(1998)4月7日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 野田 和宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

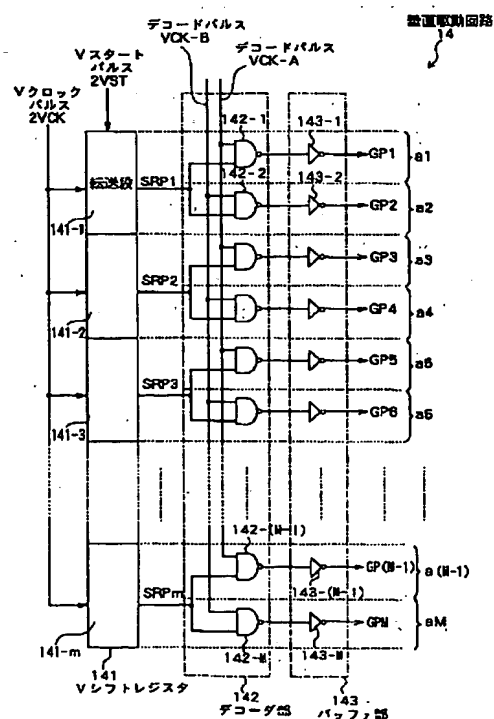
(74) 代理人 弁理士 藤島 洋一郎

(54) 【発明の名称】 画素駆動回路および駆動回路一体型画素集積装置

(57) 【要約】

【課題】 画素ピッチの狭小化と画素数の増大とを容易に実現可能とする。

【解決手段】 液晶パネルの画素部を構成する2つの水平方向の画素ラインa1, a2に対して1つのパルス転送段141-1を対応付けるようにしてVシフトレジスタ141を構成する。さらに、このVシフトレジスタ141の各パルス転送段141-1~141-mからの出力をデコード部142によりデコードして、画素ラインa_j (j=1~M)を個別に駆動するためのゲートパルスGP_jを作成する。Vシフトレジスタ141の構成段数が従来の2分の1となる。



(2)

【特許請求の範囲】

【請求項1】 異なる2つの方向に配列された複数の画素を駆動するための回路であって、

前記2つの方向のうちの1の方向に沿って第1のパルス信号を複数画素分ずつ移動させながら順次出力するパルス移動手段と、

前記パルス移動手段から出力された第1のパルス信号を基に、前記2つの方向のうちの他の方向に沿って配列された画素列を個別に駆動するためのより多くの第2のパルス信号を生成する駆動パルス生成手段とを備えたことを特徴とする画素駆動回路。

【請求項2】 さらに、

前記パルス駆動手段と前記個別駆動パルス生成手段との間に設けられ、パルス移動手段から個別駆動パルス生成手段に対して前記第1のパルスを供給するか否かを切替可能な切替手段を備えたことを特徴とする請求項1記載の画素駆動回路。

【請求項3】 異なる2つの方向に配列された複数の画素と、

前記2つの方向のうちの1の方向に沿って第1のパルス信号を複数画素分ずつ移動させながら順次出力するパルス移動手段と、

前記パルス移動手段から出力された第1のパルス信号を基に、前記2つの方向のうちの他の方向に沿って配列された画素列を個別に駆動するためのより多くの第2のパルス信号を生成する個別駆動パルス生成手段とを備えたことを特徴とする駆動回路一体型画素集積装置。

【請求項4】 さらに、

前記パルス移動手段と前記個別駆動パルス生成手段との間に設けられ、パルス移動手段から個別駆動パルス生成手段に対して前記第1のパルスを供給するか否かを切替可能な切替手段を備えたことを特徴とする請求項1記載の駆動回路一体型画素集積装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えばマトリクス状に配置された画素を選択的に駆動するための画素駆動回路、およびそのような画素駆動回路を含んで構成された駆動回路一体型画素集積装置に関する。

【0002】

【従来の技術】 近年、CRT（陰極線管）に並ぶ画像表示装置として、液晶表示装置の普及が著しい。この装置は、水平方向および垂直方向に画素をマトリクス状に配置すると共に、水平および垂直方向のそれぞれについてシフトレジスタを配置して構成したもので、垂直方向のシフトレジスタから垂直方向選択パルスを垂直方向に順次転送しながら出力して画素ライン（水平方向に並んだ画素配列）を選択すること、水平方向のシフトレジスタから水平方向選択パルスを水平方向に順次転送しながら出力して垂直方向選択パルスにより選択された画素ラ

2

インの画素を水平方向に走査しながら順次選択するという動作を繰り返すことにより、全画素に信号を書き込むようになっている。

【0003】ところで、この種の画像表示装置においては、CRTを用いた画像表示装置と同様に様々な規格の画像信号に対応し得るようにすべく、画像信号の種類に応じて表示領域のサイズを変化させることができるようにしたマルチスキャン対応の表示装置が知られている。この種の装置で用いられる方法には、全画面のうち表示を行わない非表示領域（例えば画面の上下部分）については、垂直方向選択パルスを供給しないようにして黒くすることにより、表示領域サイズを調整する方法がある。この方法によれば、画像信号自体に手を加える必要がないので、画像信号処理のための制御回路や画像メモリ等が不要であり、さほどコストアップを伴わずに済むという利点がある。

【0004】

【発明が解決しようとする課題】 上記した従来の画像表示装置では、垂直方向のシフトレジスタにおける各転送段は垂直方向の各画素ラインにそれぞれ対応して設けられており、垂直方向に1段ずつパルスを転送しながらこれを出力する構成となっていた。しかしながら、最近では、表示画像の高精細化の要請に伴って画素ピッチの一層の狭小化が求められると、従来のように1画素ライン分の幅のなかにシフトレジスタの1つの転送段の回路を配置しようとしても面積が不十分となり、実現は困難である。仮に、半導体素子の微細化技術の向上により、そのような高密度配置が可能になったとしても、各画素ラインごとにシフトレジスタの転送段を配置するようにした場合には、シフトレジスタ全体として必要なトランジスタ等の半導体素子の数を削減できないので、消費電流を低減できない。さらに、従来のように各画素ラインごとにシフトレジスタのパルス転送を行うようにした場合には、画素ラインの数を増加しようとするときシフトレジスタの各転送段間の転送速度を高速化する必要が生じるため、各転送段の回路やその他の部分の回路を構成する半導体素子の動作速度をより高速化する（駆動周波数をより高くする）必要が生じる。

【0005】また、上記した従来のマルチスキャン対応の表示装置では、全画面のうち非表示領域の画素ラインへの選択パルス供給を停止させるために、各画素ラインごとに開閉用のスイッチ素子を設けるようになっていたので、各段ごとの素子数が増大し、駆動回路全体としての消費電流が増大する。特に、画素ピッチの一層の狭小化が求められている状況下では、上記のように1画素ライン分の幅のなかにシフトレジスタの1つの転送段の回路を配置することさえ困難であるところ、さらにスイッチ素子を各画素ラインごとに配置することは不可能に近い。

【0006】このように、従来の画像表示装置では、現

(3)

3

状以上に画素ピッチの狭小化と画素数の増大とを図ることが困難であると共に、駆動回路を構成する素子を高速化する必要があるという問題があった。

【0007】本発明はかかる問題点に鑑みてなされたもので、その目的は、駆動用の構成素子の数の増加と動作速度のさらなる高速化とを必要とせずに、画素ピッチの狭小化と画素数の増大とを容易に実現することができる画素駆動回路および駆動回路一体型画素集積装置を提供することにある。

【0008】

【課題を解決するための手段】本発明の画素駆動回路は、異なる2つの方向に配列された複数の画素を駆動するための回路であって、2つの方向のうちの1の方向に沿って第1のパルス信号を複数画素分ずつ移動させながら順次出力するパルス移動手段と、パルス移動手段から出力された第1のパルス信号を基に、2つの方向のうちの他の方向に沿って配列された画素列を個別に駆動するためのより多くの第2のパルス信号を生成する駆動パルス生成手段とを備えている。ここで、画素駆動回路が、さらに、パルス駆動手段と個別駆動パルス生成手段との間に、パルス移動手段から個別駆動パルス生成手段に対して第1のパルスを供給するか否かを切替可能な切替手段を備えるように構成することが可能である。

【0009】本発明の駆動回路一体型画素集積装置は、異なる2つの方向に配列された複数の画素と、2つの方向のうちの1の方向に沿って第1のパルス信号を複数画素分ずつ移動させながら順次出力するパルス移動手段と、パルス移動手段から出力された第1のパルス信号を基に、2つの方向のうちの他の方向に沿って配列された画素列を個別に駆動するためのより多くの第2のパルス信号を生成する個別駆動パルス生成手段とを備えている。ここで、駆動回路一体型画素集積装置が、さらに、パルス駆動手段と個別駆動パルス生成手段との間に、パルス移動手段から個別駆動パルス生成手段に対して第1のパルスを供給するか否かを切替可能な切替手段を備えるように構成することが可能である。

【0010】本発明の画素駆動回路または駆動回路一体型画素集積装置では、パルス移動手段によって1の方向に沿って第1のパルス信号が複数画素分ずつ移動しながら順次出力されると共に、個別駆動パルス生成手段によって第1のパルス信号を基に2つの方向のうちの他の方向に沿って配列された画素列を個別に駆動するための第2のパルス信号が生成される。ここで、さらに、パルス駆動手段と個別駆動パルス生成手段との間に切替手段を備えることにより、パルス移動手段から個別駆動パルス生成手段に対して第1のパルスを供給するか否かを切り替えることが可能となり、これにより、上記の他の方向に沿って配列された画素列のうちの有効な画素列の範囲、すなわち、表示可能領域の切り替えが可能となる。

【0011】

4

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、以下の説明では、本発明を、画素部と画素駆動回路とを同一基板上に一体に形成したカラー液晶表示装置に適用する場合について説明する。

【0012】【第1の実施の形態】図1は本発明の一実施の形態に係るカラー液晶表示装置（以下、単に液晶表示装置という。）の概略構成を表すもので、いわゆるアクティブマトリクス方式で駆動されるものである。図1に示したように、この装置は、液晶パネル10と、信号ドライバ20と、タイミング発生部30とを備えている。液晶パネル10には、後述する画素部11（図2）等が搭載されている。信号ドライバ20は、入力されるビデオ入力信号BS_{IN}、RS_{IN}、GS_{IN}に所定の信号変換を行って、液晶パネル10におけるB（青）、R（赤）、G（緑）の各色用画素（本図では図示せず）を駆動するためのビデオ信号BS、RS、GSを出力すると共に、液晶パネル10の図示しない対向電極に印加される共通電位信号V_{COM}を出力するようになっている。タイミング発生部30は、複合同期信号等の同期信号SYNCに基づいて各種のタイミング信号HST、HCK、VST、VCK、FRP、SHSを発生するようになっている。

【0013】ここで、HSTは、液晶パネル10の後述する水平方向シフトレジスタのスタートパルス（以下、Hスタートパルスという。）を示し、HCKは、水平方向シフトレジスタを駆動するクロックパルス（以下、Hクロックパルスという。）を示す。2VSTは、液晶パネル10の後述する垂直方向シフトレジスタのスタートパルス（以下、Vスタートパルスという。）を示し、2VCKは、垂直方向シフトレジスタを駆動するクロックパルス（以下、Vクロックパルスという。）を示す。また、FRPは、信号ドライバ20がビデオ入力信号BS_{IN}、RS_{IN}、GS_{IN}を所定の直流電圧を中心とする交流のビデオ信号BS、RS、GSに変換するのに用いられる反転・非反転選択信号を示し、SHSは、信号ドライバ20がビデオ信号BS、RS、GSの位相を設定するのに用いるサンプルホールド信号を示す。

【0014】図2は液晶パネル10の一構成例を表すものである。この図に示したように、液晶パネル10は、画素部11と、水平スイッチ部12および水平方向シフトレジスタ13（以下、Hシフトレジスタ13という。）を含む水平駆動回路と、垂直方向シフトレジスタ141（以下、Vシフトレジスタ141という。本図では図示せず）を含む垂直駆動回路14とを備えている。Hシフトレジスタ13には、図1に示したHスタートパルスHSTおよびHクロックパルスHCKが入力され、垂直駆動回路14のVシフトレジスタには、図1に示したVスタートパルス2VSTおよびVクロックパルス2VCKが入力されるようになっている。

(4)

5

【0015】画素部11は、液晶セルやスイッチング素子等からなる画素をマトリクス状に配列して構成され、これらの各画素を選択的に駆動することにより画像を表示できるようになっている。スイッチング素子としては、例えば薄膜トランジスタ(TFT)等が用いられる。図2に示した例では、画素部11は、水平方向にN個の画素BD(1, j), RD(2, j), GD(3, j), …… GD(N, j) [j=1~M]を配列すると共に、垂直方向にM個の画素BD(1, 1)~(1, M), RD(2, 1)~(2, M), GD(3, 1)~(3, M), …… GD(N, 1)~(N, M)を配列して構成されている。ここで、BD, RD, GDはそれぞれ青、赤、緑用の画素であることを示す。

【0016】水平スイッチ部12は、N個の水平スイッチ12(1)~12(N)を含んで構成され、信号ドライバ20(図1)から入力されたビデオ信号BS, RS, GSを画素部11に選択的に供給する機能を有している。N個の水平スイッチ12(1)~12(N)は3個ずつのグループに分けられている。各グループの3個の水平スイッチはHシフトレジスタ13の各転送段に共通(並列)接続されている。そして、これらのグループのそれぞれに対して、Hシフトレジスタ13の各転送段から所定の時間間隔で水平方向選択パルスが順次供給されるようになっている。ここにいう所定の時間間隔は、タイミング発生部30(図1)からHシフトレジスタ13に供給されるHクロックパルスHCKの周期によって定まるものである。各グループの3個の水平スイッチには、それぞれに対応して、図1のタイミング発生部30からビデオ信号BS, RS, GSが供給されるようになっている。

【0017】Hシフトレジスタ13は複数のパルス転送段からなり、各段から順次出力する水平方向選択パルスによって駆動対象の画素列(垂直方向に延びる画素配列)を選択可能である。より具体的には、Hシフトレジスタ13は、タイミング発生部30から供給されるHスタートパルスHSTをトリガとして動作を開始し、HクロックパルスHCKによって定まる時間間隔で水平方向選択パルスを各転送段から順次出力することにより水平方向の画素選択走査を行うようになっている。水平スイッチ部12における各グループ内の3個の水平スイッチは、Hシフトレジスタ13から水平方向選択パルスが供給されるごとに同時に開状態となり、ビデオ信号BS, RS, GSを画素部11の対応する3つの画素列に並列に供給する。

【0018】次に、図3~図5を参照して、垂直駆動回路14の構成について説明する。ここで、図3は垂直駆動回路14の全体構成を表し、図4は図3のVシフトレジスタ141の構成を表し、図5は垂直駆動回路14における各種信号波形を表す。図3に示したように、垂直駆動回路14は、Vシフトレジスタ141と、デコーダ

6

部142と、バッファ部143とを含んで構成されている。

【0019】Vシフトレジスタ141は複数のパルス転送段141-1~141-mから構成される。ここで、後述するように、 $m=M/2$ である。先頭のパルス転送段141-1には、図1のタイミング発生部30から、図5(b)に示したようなVスタートパルス2VSTが供給され、また、各パルス転送段141-1~141-mには、タイミング発生部30から、図5(c)に示したようなVクロックパルス2VCKが並列に入力されるようになっている。各パルス転送段141-1~141-mは、後述するように、1個のインバータとVクロックパルスVCKに同期して動作する2個のクロックトインバータとを用いて構成され、相互に直列接続されている。図示のように、1つのパルス転送段は、画素部11(図2)における2つの画素ラインに対応して設けられている。より具体的には、パルス転送段141-1は画素ラインa1, a2に対応し、パルス転送段141-2は画素ラインa3, a4に対応し、パルス転送段141-mは画素ラインa(M-1), aMに対応している。ここで、画素ラインaj (j=1~M)は、画素部11における画素BD(1, j)~GD(N, j)からなる画素配列を示す。このような構成のVシフトレジスタ141は、タイミング発生部30から供給されるVスタートパルス2VSTをトリガとして各転送段間のパルス転送動作を開始し、Vクロックパルス2VCKによって定まる時間間隔で、各パルス転送段141-1~141-mから、それぞれ、図5(d)~(f)に示したようなシフトレジスタパルスSRP1~SRPm(但し、図5ではSRP1~SRP3のみを図示)を順次出力するようになっている。ここで、Vシフトレジスタ141が本発明における「パルス移動手段」に対応し、シフトレジスタパルスSRP1~SRPmが本発明における「第1のパルス信号」に対応する。

【0020】図4に示したように、Vシフトレジスタ141のパルス転送段141-1は、クロックトインバータ1411と、クロックトインバータ1411の出力端側に設けられたインバータ1412およびクロックトインバータ1413からなるラッチ回路とを含んでいる。

【0021】クロックトインバータ1411は、2つのPMOS型のトランジスタ1411a, 1411bと、2つのNMOS型のトランジスタ1411c, 1411dとを含んで構成されている。トランジスタ1411a, 1411bのソース・ドレイン間は相互に接続され、また、トランジスタ1411c, 1411dのソース・ドレイン間も相互に接続されている。トランジスタ1411b, 1411cはCMOS構造をなし、両者のゲートにはVスタートパルス2VSTが入力されるようになっている。両者のドレインは相互に接続され、出力端として、次段のパルス転送段の入力端(パルス転送段

(5)

141-2のトランジスタ1411b, 1411cのゲート)に接続されている。トランジスタ1411aのソースは電源ラインV_{DD}に接続され、トランジスタ1411dのソースは接地接続されている。トランジスタ1411aのゲートにはVクロックパルス2VCKの反転信号である $\neg 2VCK$ が入力され、トランジスタ1411dのゲートにはVクロックパルス2VCKが入力されるようになっている。

【0022】インバータ1412は、CMOS構成のトランジスタ1412a, 1412bによって構成されており、その入力端(トランジスタ1412a, 1412bのゲート)は、クロックインバータ1411の出力端(トランジスタ1411b, 1411cのドレイン)に接続されている。トランジスタ1412aのソースは電源ラインV_{DD}に接続され、トランジスタ1412bのソースは接地接続されている。

【0023】クロックインバータ1413は、クロックインバータ1411と同様の構成であり、2つのPMOS型のトランジスタ1413a, 1413bと、2つのNMOS型のトランジスタ1413c, 1413dとを含んで構成されている。このクロックインバータ1413の入力端(CMOS構成をなすトランジスタ1413b, 1413cのゲート)は、インバータ1412の出力端(トランジスタ1412a, 1412bのドレイン)に接続される一方、出力端(トランジスタ1413b, 1413cのドレイン)はインバータ1412の入力端(トランジスタ1412a, 1412bのゲート)に接続されている。

【0024】このような構成のパルス転送段141-1において、クロックインバータ1411の出力端(トランジスタ1411b, 1411cのドレイン)からは、シフトレジスタパルスSRP₁が出力され、次段のパルス転送段141-2に転送されると共に、デコーダ部142に入力されるようになっている。他のパルス転送段141-2~141-mについても同様の構成である。

【0025】再び図3を参照して説明する。この図に示したように、デコーダ部142は、画素部11の各画素ラインa_jごとに設けられたナンドゲート142-j(j=1~M)を含んでいる。奇数番目のナンドゲート142-1, 142-3等の各一方の入力端には、図5(g)に示したようなデコードパルスVCK-Aが入力され、偶数番目のナンドゲート142-2, 142-4等の各一方の入力端には、図5(h)に示したようなデコードパルスVCK-Bが入力されている。ここで、デコードパルスVCK-Aは、Vクロックパルス2VCKの2分の1の周期を有し、デコードパルスVCK-BはデコードパルスVCK-Aを反転した波形を有する。

【0026】デコーダ部142のナンドゲート142-(2k-1), 142-2kの各々他の入力端には、V

8

シフトレジスタ141のパルス転送段141-kからのシフトレジスタパルスSRP_kが入力されるようになっている。ここで、k=1~mである。これらのナンドゲート142-(2k-1), 142-2kは、それぞれ、Vシフトレジスタ141からのシフトレジスタパルスSRP_kをデコードパルスVCK-AまたはVCK-Bによってデコードして出力するようになっている。ここで、デコーダ部142が本発明における「駆動パルス生成手段」に対応する。

【0027】バッファ部143は、画素部11の各画素ラインa_jごとに設けられたバッファ143-j(j=1~M)を含んでいる。各バッファ143-jの入力端はデコーダ部142の各ナンドゲート142-jの出力端に接続され、出力端は画素ラインa_jの各画素を構成するTFT(図示せず)のゲートに接続されている。各バッファ143-jは、対応するナンドゲート142-jからの出力信号の論理を反転し、図5(i)~(n)に示したようなゲートパルスGP_jを出力する。これらのゲートパルスGP_jは、画素部11の対応する画素ラインa_jの各画素を構成するTFTトランジスタのゲート(図示せず)に供給され、各画素を駆動するようになっている。各バッファ143-jはまた、デコーダ部142やVシフトレジスタ141が、画素部11の対応する画素ラインa_jにおける配線容量の影響を受けないように、両者を隔離する機能をも有している。ここで、ゲートパルスGP_jが本発明における「第2のパルス信号」に対応する。

【0028】次に、以上のような構成のカラー液晶表示装置の動作を説明する。

【0029】図3において、タイミング発生部30(図1)から出力されるVスタートパルス2VSTはVシフトレジスタ141のパルス転送段141-1に入力され、Vクロックパルス2VCKは、Vシフトレジスタ141の各パルス転送段141-1~141-mに供給される。これらの各パルス転送段141-1~141-mは、Vクロックパルス2VCKに従って順次パルス転送を行うと共に、図5(d)~(f)に示したようなシフトレジスタパルスSRP₁~SRP_mを順次出力する。

【0030】Vシフトレジスタ141の各パルス転送段141-1~141-mから出力されたシフトレジスタパルスSRP₁~SRP_mは、デコーダ部142におけるそれぞれ対応するナンドゲートの組に入力される。より具体的には、シフトレジスタパルスSRP_k(k=1~m)は、対応するナンドゲート142-(2k-1), 142-2kに入力される。これらのナンドゲート142-(2k-1), 142-2kは、それぞれ、図5(g), (h)に示したようなデコードパルスVCK-A, VCK-BによってシフトレジスタパルスSRP_kをデコードして出力する。ナンドゲート142-j(j=1~M)の出力は、それぞれ、バッファ部143

(6)

9

のバッファ143-jによってそれぞれ反転されて、図5(i)~(n)に示したようなゲートパルスGPjとして出力される。ゲートパルスGPjは、画素部11(図2)の対応する画素ラインajにおける各画素のFTトランジスタのゲートに供給され、各トランジスタをオン(開)状態にする。

【0031】一方、タイミング発生部30(図1)から出力されるHスタートパルスHSTおよびHクロックパルスHCKは、Hシフトレジスタ13(図1)に供給される。Hシフトレジスタ13は、これらの信号HST、HCKに従って水平選択パルスを順次シフトしながら出力する。これらの水平選択パルスは、それぞれ、水平スイッチ部12の上記した各水平スイッチグループに順次入力され、各グループ内の水平スイッチを開状態にする。その結果、第1列から第N列までの各画素列が3列ずつ順次選択される。

【0032】バッファ部143からのゲートパルスGP1によって画素ラインa1が選択されている期間において、Hシフトレジスタ13からの水平選択パルスによって1列から第3列までの画素列が選択されると、信号ドライバ20から入力されるビデオ信号BS、RS、GSは、それぞれ、画素ラインa1の画素BD(1,1)~GD(3,1)に供給される。次に、第4列から第6列までの画素列が選択されることにより、ビデオ信号BS、RS、GSはそれぞれ画素BD(4,1)~GD(6,1)に供給される。以下同様に、画素ラインa1の画素が順次3個ずつ選択され、それぞれに対してビデオ信号BS、RS、GSが同時に供給される。

【0033】画素ラインa1のN個の画素に対するビデオ信号の書込みが終了すると、次に、ゲートパルスGP2によって画素ラインa2が選択され、ここでも画素ラインa1の場合と同様にして3個ずつの画素が選択されて同時にビデオ信号BS、RS、GSが供給される。以下同様にして、1画素ライン分のビデオ信号の供給が終了するたびにゲートパルスGPjによって次の画素ラインが選択される。これにより、1フィールド分の処理が終了する。さらに、1フィールド分の処理が終了すると、次のフィールドにおいても同様の処理が行われる。

【0034】ここで、図6および図7を参照して、本実施の形態に対する比較例について説明する。

【0035】図6は本実施の形態における垂直駆動回路14に対する比較例としての垂直駆動回路114の概略構成を表し、図7は、この垂直駆動回路114における各種信号のタイミングを表すものである。なお、これらの図で本実施の形態(図3、図5)と同一構成部分には同一の符号を付す。図6に示したように、本比較例の垂直駆動回路114は、Vシフトレジスタ1141と、デコード部1142と、バッファ部143とを含んで構成されている。Vシフトレジスタ1141は、上記実施の形態におけるVシフトレジスタ141と異なり、画素部

10

11の各画素ラインajに対応して設けられた合計M(=2m)個のパルス転送段1141-j(j=1~M)から構成されている。ここで、各パルス転送段1141-jは、上記実施の形態の図4に示した回路と同じ回路構成であり、2つのクロックインバータと、1つのインバータとによって構成される。Vシフトレジスタ1141には、図7(a)に示したようなVスタートパルスVSTと、図7(b)に示したようなVクロックパルスVCKとが入力される。ここで、VスタートパルスVSTおよびVクロックパルスVCKは、それぞれ、上記実施の形態におけるVスタートパルス2VSTおよびVクロックパルス2VCKのそれぞれ2倍の周波数(2分の1の周期)をもつパルス信号である。

【0036】Vシフトレジスタ1141の各パルス転送段1141-jは、VスタートパルスVSTおよびVクロックパルスVCKに従ってパルス転送を行い、図7(c)~(h)に示したようなシフトレジスタパルスSRPj”(この図ではSPR1”~SPR6”のみを図示)を順次出力して、デコード部1142における対応するナンドゲート1142-jに供給するようになっている。デコード部1142の各ナンドゲート1142-jは、対応するパルス転送段1141-jから供給されたシフトレジスタパルスSRPj”を、前段のパルス転送段1141-(j-1)からのシフトレジスタパルスSRP(j-1)”によってデコードして出力する。バッファ部143の各バッファ143-jは、対応するナンドゲート1142-jの出力を反転して、図7(i)~(n)に示したようなゲートパルスGPjを出力し、対応する画素ラインajに供給するようになっている。

【0037】このように、本比較例の垂直駆動回路114においては、Vシフトレジスタ1141のパルス転送段1141-jが画素部11の各画素ラインajごとに一つずつ設けられている。ここで、1つのパルス転送段1141-jを構成するには、図4に示したように、合計10個のトランジスタ素子が必要であり、各トランジスタ素子間の複雑な配線が必要であることをも考慮すると、かなりの配置面積が必要となる。このため、画素部11の高精細化のために画素ピッチを狭くしようとした場合には、1画素ラインajの幅に対応する領域に1つのパルス転送段1141-jを形成することが困難となる。例えば、Vシフトレジスタ1141の1つの転送段を図4のように構成する場合には、1画素ライン分の幅領域に10個のトランジスタ素子を配置しなければならず、画素ピッチの狭小化に対応することができない。また、仮に、製造技術の向上に伴うトランジスタ素子のサイズや配線幅の縮小化によって、1画素ラインaj分の幅領域に1つのパルス転送段1141-jを形成できたとしても、それを製造コストのアップを伴わずに実現することは困難であり、また、画素部11の画素ラインajの数(=j)を増加した場合には、それに比例してV

(7)

11

シフトレジスタ1141の構成に必要な素子数が増加するため、垂直駆動回路114の消費電流が著しく増大することは必至である。さらに、Vシフトレジスタ1141を動作させるためのVスタートパルスVSTやVクロックパルスVCKは、図7(a), (b)に示したように、周波数の高いパルス信号であることから、Vシフトレジスタ1141の各パルス転送段を構成するトランジスタ素子は周波数特性がよいものでなければならず、この点でも構成上の難点がある。

【0038】これに対して、本実施の形態の垂直駆動回路14によれば、2つの画素ラインに対して1つのパルス転送段を対応付けると共に、各パルス転送段からの出力をデコード部142によりデコードして各画素ラインaj用のゲートパルスGPjを作成するようにしたので、画素ラインの総数が同じであれば、Vシフトレジスタ141の構成段数を上記比較例の2分の1とすることができる。したがって、Vシフトレジスタ141の構成に必要な全素子数を約2分の1にすることが可能であり、消費電流を低減することができる。また、2画素ライン分の幅領域に1つのパルス転送段を形成すればよいことから、画素ピッチを相当狭くしたとしても、現状の製造技術レベルでも十分対応可能である。例えば、Vシフトレジスタ141の1つの転送段を図4のように構成する場合には、2画素ライン分の幅領域に10個のトランジスタ素子を配置すればよく、1画素ライン当たりによれば5個のトランジスタ素子を配置すればよいこととなるので、製造が容易である。さらに、Vシフトレジスタ141を動作させるためのVスタートパルス2VSTやVクロックパルス2VCKは、図5(b), (c)に示したように、比較例で用いたVスタートパルスVSTおよびVクロックパルスVCK(図7(a), (b))と比べて周波数の低いパルス信号であることから、Vシフトレジスタ141の各パルス転送段を構成するトランジスタ素子は、周波数特性がさほどよいものである必要はなく、通常の特性の素子を使用可能である。

【0039】なお、本実施の形態では、図3に示したように、デコード部142で用いるデコードパルスVCK-A, VCK-Bを、各ナンドゲートごとに交互にA, B, A, B...という順序で割り当てて入力するようにしたが、このほか、図8および図9に示したように、上記のデコードパルスVCK-A, VCK-Bの2倍のパルス幅(2分の1の周波数)をもつデコードパルス2VCK-A, 2VCK-Bを用意して、これらをデコード部142'の各ナンドゲートにA, B, B, A, A, B, ...という順序で割り当てて入力するように変形してもよい。なお、図8は本実施の形態の変形例としての垂直駆動回路14'の概略構成を表し、図9は図8の垂直駆動回路14'の各種信号のタイミングを表すものである。これらの図で、上記の図3および図5に示した各構成部分と同一の構成部分には同一の符号を付し、説明を省略

12

する。図8および図9のうち、デコードパルス2VCK-A, 2VCK-Bの波形、およびデコード部142'の各ナンドゲートに対するデコードパルス2VCK-A, 2VCK-Bの割り当て方法以外の部分の構成は図3および図5と同様である。

【0040】図8に示した変形例では、図9(g), (h)に示したように、デコードパルス2VCK-A, 2VCK-Bの周波数を上記の図5(g), (h)に示したデコードパルスVCK-A, VCK-Bの2分の1にすることができるので、ナンドゲートを構成するトランジスタ素子は高い周波数特性をもつものでなくてもよい。また、図5の例では、例えばタイミングt1, t2において、シフトレジスタパルスSRP1とデコードパルスVCK-AまたはVCK-Bとが同じタイミングで立ち上がり、または立ち下がっているため、両者間にわずかなタイミングずれがあると、ナンドゲートの出力にヒゲ状のスパイクノイズが発生する可能性がある。これに対して、図8に示した変形例では、図9(g),

(h)に示したように、シフトレジスタパルスSRP1とデコードパルス2VCK-Aまたは2VCK-Bとの間で、立ち上がりおよび立ち下りのタイミングは完全に異なっているため、上記のようなヒゲ状のスパイクノイズが発生するおそれは少ない。

【0041】[第2の実施の形態]次に、本発明の第2の実施の形態を説明する。

【0042】図10は本発明の第2の実施の形態に係るカラー液晶表示装置に適用される垂直駆動回路24の概略構成を表すものである。この垂直駆動回路24は、上記第1の実施の形態(図3)におけるVシフトレジスタ141およびデコード部142に代えて、それぞれ、Vシフトレジスタ241およびデコード部242を備えるようにしたものである。このVシフトレジスタ241は、m1個のパルス転送段241-1~241-m1を含んで構成されている。各パルス転送段241-p(ここで、p=1~m1)は、画素部11(図2)の3つの画素ラインa(3p-2), a(3p-1), a(3p)に対して1つずつ設けられており、その内部構成は図4に示したものと同様である。ここで、m1=M/3(=自然数)である。

【0043】Vシフトレジスタ241には、図11(b), (c)に示したように、上記比較例(図7(a), (b))におけるVスタートパルスVSTおよびVクロックパルスVCKのそれぞれ3倍の周期をもつVスタートパルス3VSTおよびVクロックパルス3VCKがタイミング発生部30(図1)から供給されるようになっている。ここで、Vシフトレジスタ241が本発明における「パルス移動手段」に対応する。

【0044】デコード部242には、図11(g)~(i)に示したような互いに異なる位相をもつ3つのデコードパルスVCK-A', VCK-B', VCK-

(8)

13

C' が供給され、それぞれ、パルス転送段 241-p に
対応するナンドゲート 242-(3p-2), 242-
(3p-1), 242-3p の各々一方の入力端に入力
されるようになっている。これらの3個のナンドゲート
242-(3p-2), 242-(3p-1), 242-
3p の各々他の入力端には、Vシフトレジスタ 241
のパルス転送段 241-p からシフトレジスタパルス S
R P p が入力されるようになっている。デコーダ部 24
2 が本発明における「駆動パルス生成手段」に対応し、
シフトレジスタパルス S R P p が本発明における「第 1
のパルス信号」に対応する。

【0045】次に、このような構成の垂直駆動回路 24
の動作を説明する。図 1 のタイミング配線部 30 から出
力された V スタートパルス 3 V S T は V シフトレジスタ
241 のパルス転送段 241-1 に入力され、V クロ
ックパルス 3 V C K は、V シフトレジスタ 24 の各パルス
転送段 241-1 ~ 241-m1 に供給される。これら
の各パルス転送段 241-1 ~ 241-m1 は、V ク
ロックパルス 3 V C K に従って順次パルス転送を行うと共
に、図 11 (d) ~ (f) に示したようなシフトレジ
スタパルス S R P 1' ~ S R P m1' を順次出力する。こ
れらのシフトレジスタパルス S R P 1 ~ S R P m1'
は、デコーダ部 242 におけるそれぞれ対応する 3 個の
ナンドゲートの組に入力される。より具体的には、シフ
トレジスタパルス S R P p は 3 つのナンドゲート 242
-(3p-2), 242-(3p-1), 242-3p
に入力される。但し、p=1~m1 である。ナンドゲ
ート 242-(3p-2), 242-(3p-1), 24
2-3p は、デコードパルス V C K-A, V C K-B,
V C K-C によってシフトレジスタパルス S R P p をそ
れぞれデコードして出力する。これらの各ナンドゲ
ートの出力は、それぞれ、バッファ部 143 のバッファ 14
3-j によってそれぞれ反転されて、図 11 (j) ~
(o) に示したようなゲートパルス G P j として出力さ
れる。ゲートパルス G P j は、画素部 11 (図 2) の対
応する画素ライン a j における各画素の T F T トランジ
スタのゲートに供給され、各トランジスタをオン (開)
状態にする。

【0046】このように、本実施の形態によれば、画素
部 11 の 3 つの画素ラインに対して 1 つのパルス転送段
241-p を設けるようにしたので、V シフトレジスタ
241 の構成に必要な全素子数を上記第 1 の実施の形態
の場合よりもさらに低減することができ、消費電流をよ
り一層低減することができる。また、3 画素ライン分の
幅領域に 1 つのパルス転送段を形成すればよいことか
ら、画素ピッチをさらに狭くしたとしても、現状の製造
技術レベルで十分対応可能である。例えば、V シフトレ
ジスタ 241 の 1 つの転送段を図 4 のように構成する場
合には、3 画素ライン分の幅領域に 10 個のトランジ
スタ素子を配置すればよく、1 画素ライン当たりによ

14

約 3 個のトランジスタ素子を配置すればよいことから、
製造がさらに容易になる。さらに、V シフトレジスタ 2
41 を動作させるための V スタートパルス 3 V S T や V
クロックパルス 3 V C K は、図 11 (b), (c) に示
したように、第 1 の実施の形態で用いる V スタートパ
ルス 2 V S T および V クロックパルス 2 V C K と比べてよ
り周波数の低いパルス信号であることから、V シフトレ
ジスタ 241 の各パルス転送段を構成するトランジスタ
素子に要求される周波数特性は、より緩やかなものとな
る。

【0047】[第 3 の実施の形態] 次に、本発明の第 3
の実施の形態を説明する。

【0048】図 10 は本発明の第 3 の実施の形態に係る
カラー液晶表示装置に適用される垂直駆動回路 34 の概
略構成を表すものである。この垂直駆動回路 34 は、上
記第 1 の実施の形態 (図 3) で示した垂直駆動回路 14
における V シフトレジスタ 141 とデコーダ部 142 と
の間に、入力されるビデオ信号の種類 (規格) に応じて
画素部 11 (図 2) の表示領域を α または β に切り替
えることを可能とする表示切替回路 344 を設けたもので
ある。ここで、表示領域 α は、画素部 11 のすべての画
素ライン a1 ~ aM を表示可能にしたときの表示領域で
あり、表示領域 β は、画素部 11 の画素ラインのうち a
2 ~ a(M-1) のみを表示可能にしたときの表示領域であ
る。

【0049】図 12 に示したように、表示切替回路 34
4 は m 個 (但し、 $m=M/2$) のナンドゲート 344-
1 ~ 344-m を含んでいる。各ナンドゲート 344-
k (但し、 $k=1 \sim m$) は、V シフトレジスタ 141 の
各パルス転送段 141-k から出力されたシフトレジ
スタパルス S R P k を後段のデコーダ部 142 における対
応するナンドゲート 142-(2k-1), 142-2
k に入力するか否かを制御するためのものである。ナン
ドゲート 344-k の各々一方の入力端には、シフトレ
ジスタパルス S R P k が入力されるようになっている。
また、最上段のナンドゲート 344-1 および最下段の
ナンドゲート 344-m における各々他の入力端には、
“H” または “L” レベルのいずれかの値をとる表示切
替信号 S W が入力されている。その他のナンドゲート 3
44-2 ~ 344-(m-1) における各々他の入力端
はすべて “H” レベルに固定されている。その他の構成
は図 3 の場合と同様である。ここで、表示切替回路 34
4 が本発明における「切替手段」に対応する。

【0050】次に、以上のような構成の垂直駆動回路 3
4 の動作を説明する。

【0051】まず、表示領域 α を表示可能にする場合に
は、表示切替回路 344 のナンドゲート 344-1 およ
び 344-m に入力する表示切替信号 S W を “H” レ
ベルにする。これにより、すべてのナンドゲート 344-
1 ~ 344-m がゲート開状態となり、V シフトレジ

(9)

15

タ141からのすべてのシフトレジスタパルスSRP1～SRPmがそのままデコーダ部142に供給される。すなわち、この状態では、図3に示した回路状態と等しくなる。画素部11の全体である表示領域 α がアクティブ状態となり、ここに画像が表示されることとなる。

【0052】一方、表示領域 β を表示可能にする場合には、表示切替回路344のナンドゲート344-1および344-mに inputsする表示切替信号SWを“L”レベルにする。これにより、ナンドゲート344-2～344-(m-1)のみがゲート開状態となり、ナンドゲート344-1および344-mはゲート閉状態となる。このため、Vシフトレジスタ141からのシフトレジスタパルスSRP1およびSRPmはデコーダ部142に供給されず、シフトレジスタパルスSRP2～SRP(m-1)のみがそのままデコーダ部142に供給される。これにより、画素部11のうちの表示領域 β のみがアクティブ状態となり、ここに画像が表示される。このとき、画素ラインa1, a2, a(M-1), aMの部分は黒く表示される。

【0053】ここで、本実施の形態の垂直駆動回路34

に対する比較例を説明する。
【0054】図13は本実施の形態に対する比較例としての垂直駆動回路214の概略構成を表すものである。この垂直駆動回路214は、上記第1の実施の形態に対する比較例(図6)で示した垂直駆動回路114におけるデコーダ部1142とバッファ部143との間に、入力されるビデオ信号の種類(規格)に応じて画素部11(図2)の表示領域を α または β に切り替えることを可能とする表示切替回路1144を設けたものである。ここで、表示領域 α , β は、本実施の形態(図12)におけるものと同じである。表示切替回路1144は、M個のナンドゲート1144-1～1144-Mから構成されている。これらの各ナンドゲート1144-j(j=1～M)は画素部11の各画素ラインajに対応して設けられている。

【0055】各ナンドゲート1144-jは、デコーダ部1142の各ナンドゲート1142-jの出力を後段のバッファ部143における対応するバッファ143-jに inputsするか否かを制御するためのものである。ナンドゲート1144-jの各々一方の入力端には、デコーダ部1142の各ナンドゲート1142-jの出力が入力されるようになっている。また、最上段側の2つのナンドゲート1144-1, 1144-2および最下段側の2つのナンドゲート1144-(M-1), 1144-Mにおける各々他の入力端には、“H”または“L”レベルのいずれかの値をとる表示切替信号SWが入力されるようになっている。その他のナンドゲート1144-3～1144-(M-2)における各々他の入力端はすべて“H”レベルに固定されている。その他の構成は図6の場合と同様である。

16

【0056】このような構成の垂直駆動回路214において、表示領域 α を表示可能にするには、表示切替信号SWを“H”レベルにすることにより、すべてのナンドゲート1144-1～1144-Mをゲート開状態にする。これにより、デコーダ部1142のすべてのナンドゲート1142-jの出力がそのままバッファ部143の対応するバッファ143-jに供給され、表示領域 α がアクティブ状態となる。一方、表示領域 β を表示可能にするには、表示切替信号SWを“L”レベルにすることにより、最上段側の2つのナンドゲート1144-1, 1144-2および最下段側の2つのナンドゲート1144-(M-1), 1144-Mのみをゲート閉状態にする。これにより、これらの4つのナンドゲートの出力はバッファ部143に供給されず、ナンドゲート1144-3～1144-(M-2)の出力のみがそのままデコーダ部142に供給される。これにより、表示領域 β のみがアクティブ状態となり、画素ラインa1, a2, a(M-1), aMの部分は黒く表示される。

【0057】このように、本比較例では、画素部11における各画素ラインajごとに表示切替用のナンドゲート1144-1～1144-Mを設けて表示切替回路1144を構成しているので、画素ピッチの狭小化に対応することが上記第1の実施の形態の場合(図3)よりもさらに困難になる。また、表示切替回路1144の構成に必要なトランジスタ素子数が多いので、消費電流が大きくなる。

【0058】これに対して、本実施の形態の垂直駆動回路34(図12)では、2つの画素ラインa(2k-1), a(2k)の組に対して設けたパルス転送段141-kに対応してナンドゲート1144-kを設けることで表示切替回路344を構成しているので、画素ピッチの狭小化に対応することが上記比較例(図13)の場合よりもさらに容易となる。また、表示切替回路344の構成に必要なトランジスタ素子数を削減できるので、上記比較例(図13)の場合よりも消費電流をさらに低減することができる。

【0059】なお、本実施の形態では、上記第1の実施の形態に示した垂直駆動回路14に表示切替回路344を設けて表示領域の切り替えを行う場合について説明したが、上記第2の実施の形態に示した垂直駆動回路24(図10)に表示切替回路を設けて表示領域の切り替えを行うことも可能である。この場合には、図10の垂直駆動回路24において、Vシフトレジスタ241のパルス転送段141-p(p=1～m1)とデコーダ部242の対応する3個のナンドゲート242-(3p-2), 242-(3p-1), 242-3pの組との間に1つのナンドゲートを設けるようにして表示切替回路を構成すればよい。

【0060】以上、いくつかの実施の形態を挙げて本発明を説明したが、本発明はこれらの実施の形態に限定さ

(10)

17

れるものではなく、種々変形可能である。例えば、上記第2の実施の形態では、画素部11における3つの画素ラインa(3p-2)、a(3p-1)、a(3p)に対して1つのパルス転送段241-pを設けるようにしてVシフトレジスタ241を構成するようにしたが、4つ以上の画素ラインに対して1つのパルス転送段を設けるようにしてもよい。

【0061】また、上記各実施の形態では、水平方向の駆動方式を3ドット同時サンプリングとしたが、これに限らず、より多くの画素を同時駆動する多ドット同時サンプリングとしてもよく、あるいは1画素ずつ駆動するようにしてもよい。

【0062】また、本実施の形態ではカラー液晶表示装置について説明したが、本発明はこれに限定されるものではなく、白黒の液晶表示装置にも適用できる。さらに、液晶表示装置以外の表示装置、例えばPD(プラズマディスプレイ)素子やEL(エレクトロ・ルミネセンス)素子、さらには、FED(Field Emission Display)素子等にも適用可能である。なお、このFEDとは、多数の微細な電子源を陰極としてアレイ上に配列すると共に、各陰極に高電圧を印加することにより各陰極から電子を引き出し、これらの電子を陽極に塗布した蛍光体に衝突させて発光させるようにしたものである。

【0063】

【発明の効果】以上説明したように、請求項1もしくは請求項2記載の画素駆動回路、または請求項3もしくは請求項4記載の駆動回路一体型画素集積装置によれば、画素配列の2つの方向のうちの1の方向に沿って第1のパルス信号を複数画素分ずつ移動させながら順次出力するパルス移動手段を設けると共に、個別駆動パルス生成手段によって、第1のパルス信号を基に、2つの方向のうちの他の方向に沿って配列された画素列を個別に駆動するためのより多くの第2のパルス信号を生成するようにしたので、パルス移動手段を構成する回路素子の数を削減することができる。このため、パルス移動手段を構成する回路の配置面積を縮小できると共に、消費電力の低減が可能になる。また、パルス移動手段は、複数の画素列に対応して1つの第1のパルス信号を出力すればよいので、このパルス移動手段を構成する回路素子に対する周波数特性の要求を緩和することができる。

【0064】特に、請求項3または請求項4記載の駆動回路一体型画素集積装置によれば、パルス移動手段を構成する回路素子の数を削減して回路面積を縮小できることから、画素部とその駆動回路とを一体に構成する場合であっても、画素ピッチの狭小化に十分対応することができるという効果がある。

【0065】また、請求項2記載の画素駆動回路または請求項4記載の駆動回路一体型画素集積装置によれば、さらに、パルス駆動手段と個別駆動パルス生成手段との間に、パルス移動手段から個別駆動パルス生成手段に対

18

して第1のパルスを供給するか否かを切替可能な切替手段を備えるように構成したので、従来のように個別駆動パルス生成手段と各画素列との間に切替手段を設けるように構成した場合と比べると、切替回路の構成素子数を削減することができ、回路サイズがよりコンパクトとなる。したがって、切替回路によって全画素のうちの一部を選択的に非駆動状態にして表示領域サイズを切り替え可能にする場合においても、従来に比べて消費電力を低減でき、また、画素ピッチの狭小化に対応することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るカラー液晶表示装置の概略構成を表すブロック図である。

【図2】図1における液晶パネルの概略構成を表す図である。

【図3】図1における垂直駆動回路の概略構成を表す回路図である。

【図4】図3におけるシフトレジスタの各転送段の構成を表す回路図である。

【図5】図3の垂直駆動回路の動作を説明するためのタイミング図である。

【図6】本発明の第1の実施の形態に対する比較例としての垂直駆動回路の概略構成を表す回路図である。

【図7】図6の垂直駆動回路の動作を説明するためのタイミング図である。

【図8】図3の垂直駆動回路に対する変形例を表す回路図である。

【図9】図8の垂直駆動回路の動作を説明するためのタイミング図である。

【図10】本発明の第2の実施の形態に係るカラー液晶表示装置に用いられる垂直駆動回路の概略構成を表すブロック図である。

【図11】図10の垂直駆動回路の動作を説明するためのタイミング図である。

【図12】本発明の第3の実施の形態に係るカラー液晶表示装置に用いられる垂直駆動回路の概略構成を表すブロック図である。

【図13】本発明の第3の実施の形態に対する比較例としての垂直駆動回路の概略構成を表す回路図である。

【符号の説明】

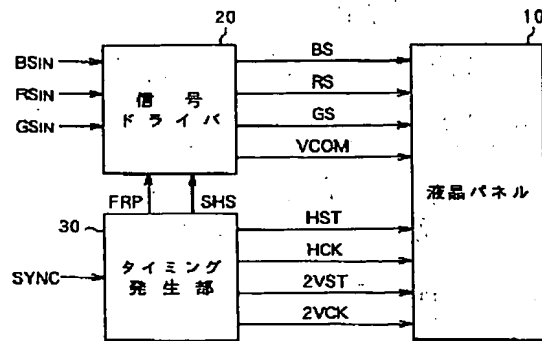
10…液晶パネル、11…画素部、12…水平スイッチ部、13…Hシフトレジスタ、14、14'、24、34…垂直駆動回路、141、241…Vシフトレジスタ、141-1～141-m、241-1～241-m…パルス転送段、142、142'、242…デコーダ部、143…バッファ部、344…表示切替回路、a1～aM…画素ライン、BS、RS、GS…ビデオ信号、2VST、3VST…Vスタートパルス、2VCK、3VCK…Vクロックパルス、VCK-A、VCK-B、2VCK-A、2VCK-B、VCK-A'、V

(11)

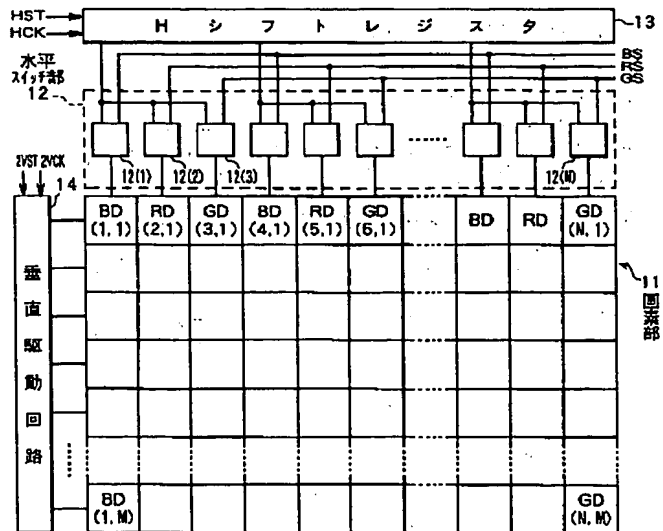
19
CK-B', VCK-C' ...デコードパルス、SRP1
~SRPm, SRP1~SRPm1 ...シフトレジスタパ

20
ルス、GP1 ~GPM ...ゲートパルス。

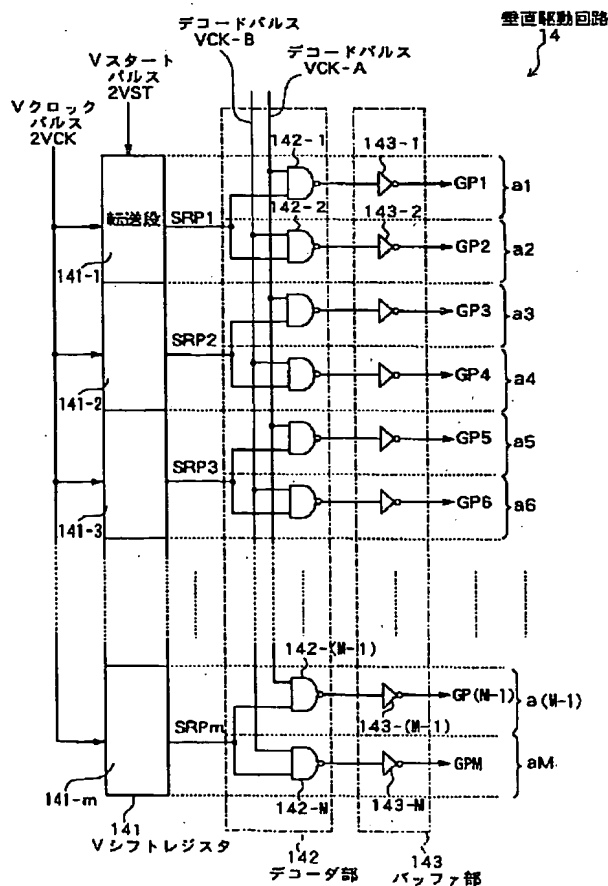
【図1】



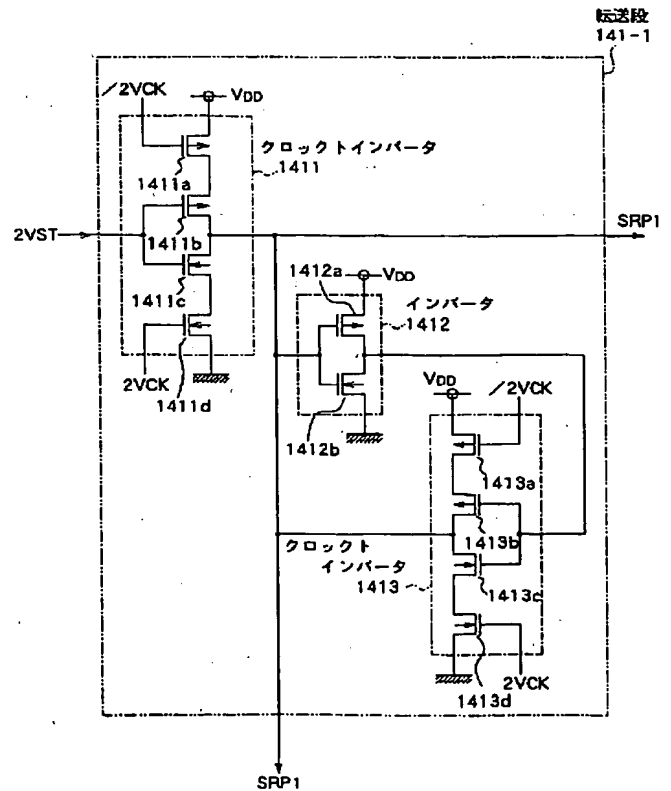
【図2】



【図3】

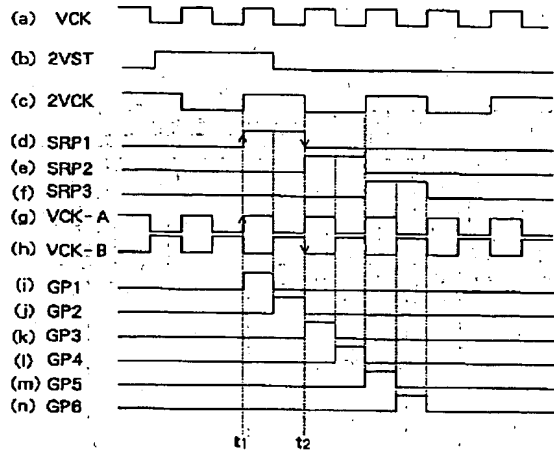


【図4】

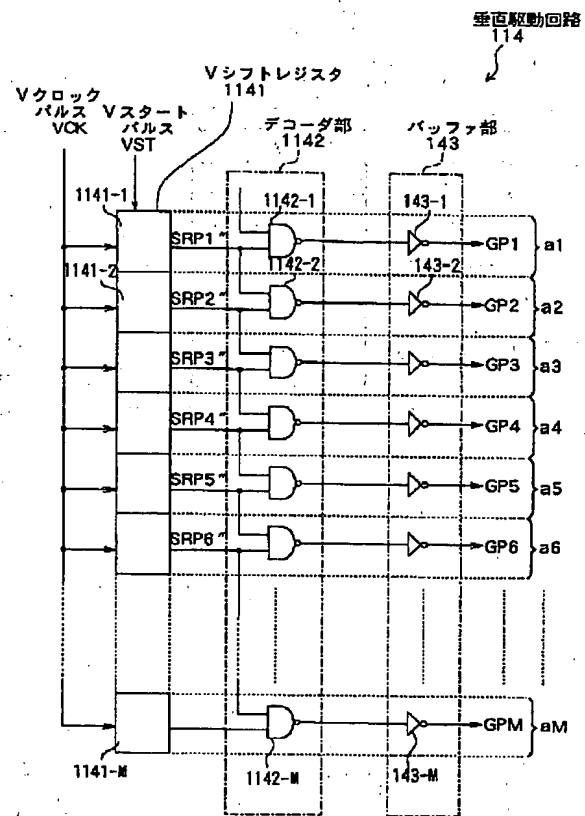


(12)

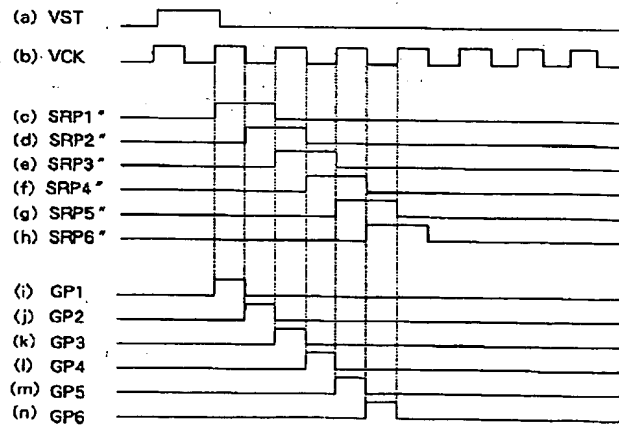
【図5】



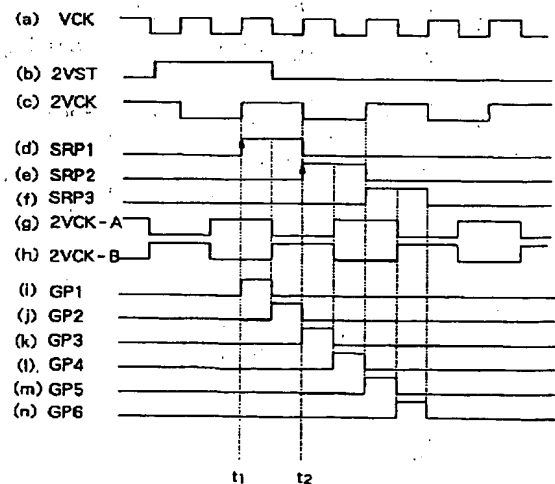
【図6】



【図7】

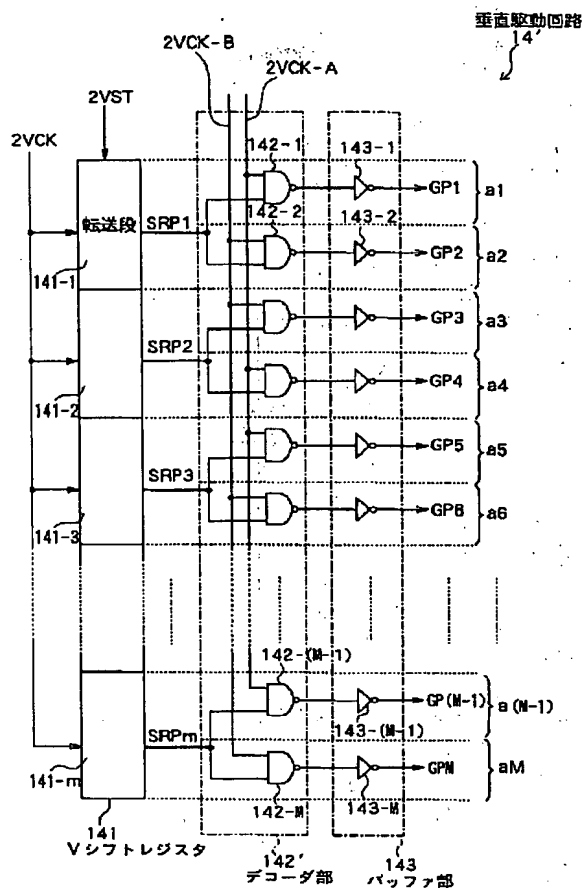


【図9】

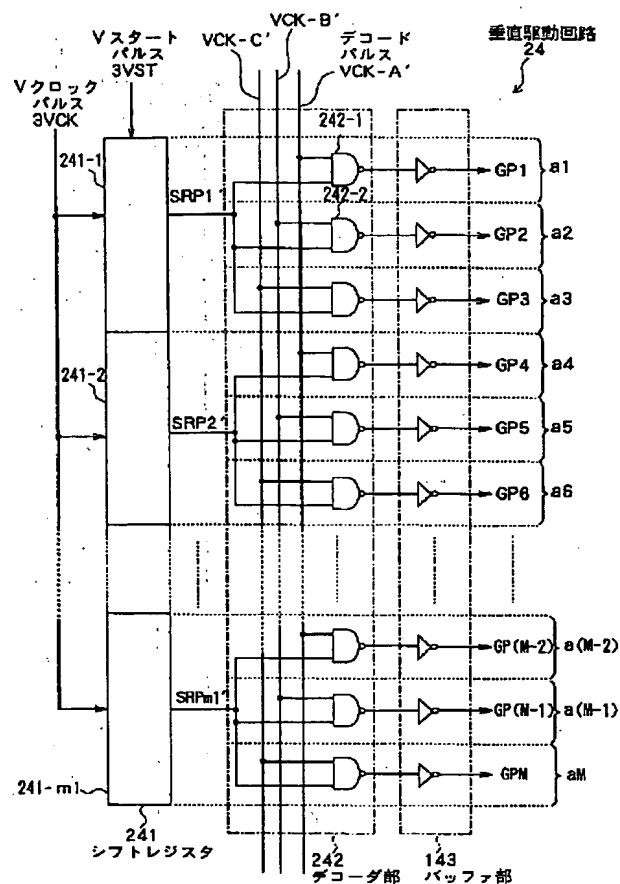


(13)

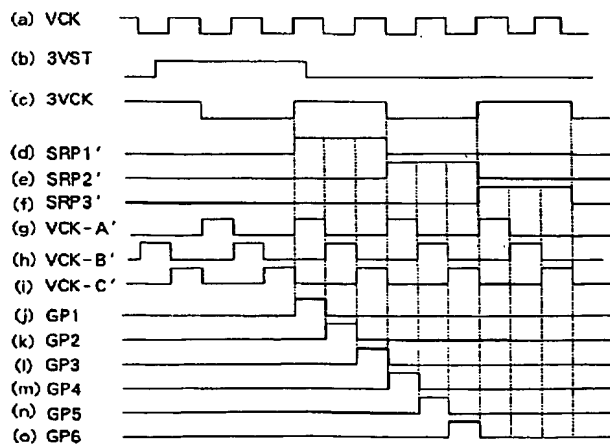
【図8】



【図10】

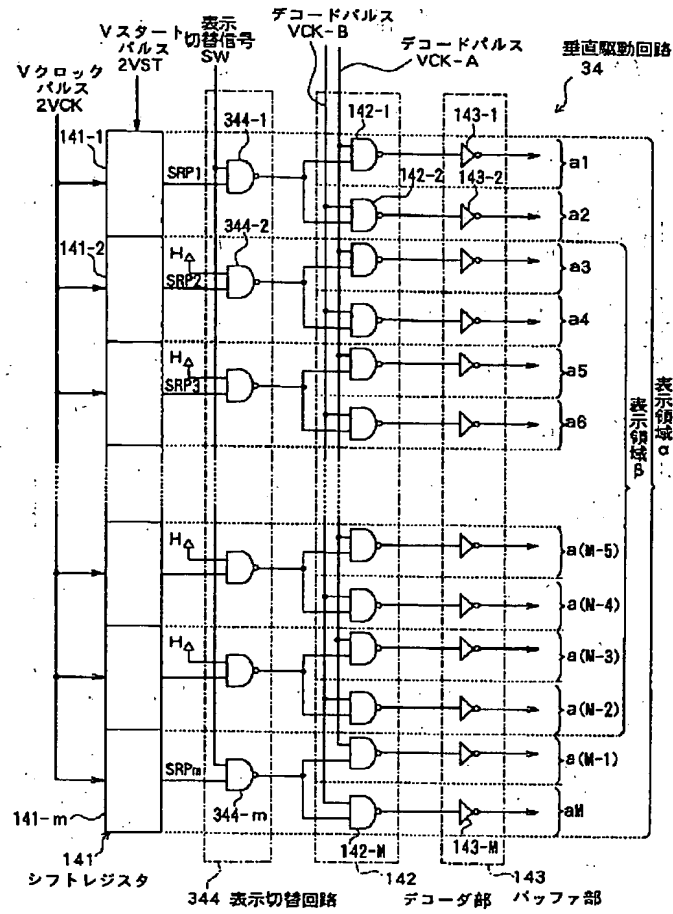


【図11】



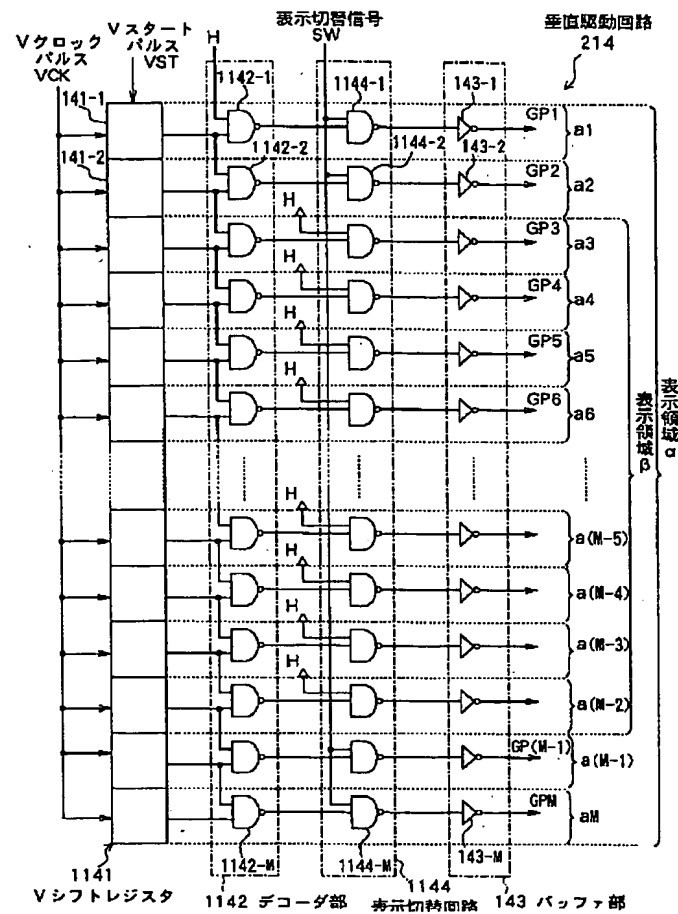
(14)

【図12】



(15)

【図13】



フロントページの続き

(51) Int. Cl. 6

G 0 9 G 3/36

H 0 4 N 5/66

識別記号

1 0 2

F I

G 0 9 G 3/36

H 0 4 N 5/66

B

1 0 2 B